

Power semiconductor device and method of manufacturing the same

Patent Number: ☐ EP1174929
Publication date: 2002-01-23
Inventor(s): OMURA ICHIRO (JP); SAITO WATARU (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: JP2002100772
Application Number: EP20010116656 20010713
Priority Number (s): JP20000215290 20000717; JP20010051439 20010227
IPC Classification: H01L29/78; H01L29/08
EC Classification: H01L29/772, H01L21/265A4, H01L21/265F, H01L21/336B2, H01L21/74, H01L29/06B2B4, H01L29/08E2, H01L29/10G, H01L29/32, H01L29/78B2, H01L29/872
Equivalents: ☐ US2002005549, ☐ US6465844
Cited Documents:

Abstract

A power semiconductor device has a plurality of U-shaped buried layers (8) buried in a drift layer (2) and made of either an insulating material or a semiconductor having a wider bandgap than that of the semiconductor of the drift layer (2). The ratio of the product of the height H of the U-shaped buried layers and the arrangement pitch d to the spacing g between adjacent ones of the U-shaped buried layers (8) is expressed as Hd/g

Data supplied from the **esp@cenet** database - 12

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-100772

(P2002-100772A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl.⁷

H01L 29/78

識別記号

652

FI

H01L 29/78

テマコード(参考)

652H

652M

652N

652P

654Z

654

審査請求 未請求 請求項の数26 OL (全 29 頁) 最終頁に続く

(21)出願番号 特願2001-51439(P2001-51439)

(22)出願日 平成13年2月27日(2001.2.27)

(31)優先権主張番号 特願2000-215290(P2000-215290)

(32)優先日 平成12年7月17日(2000.7.17)

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 齋藤 渉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100083161

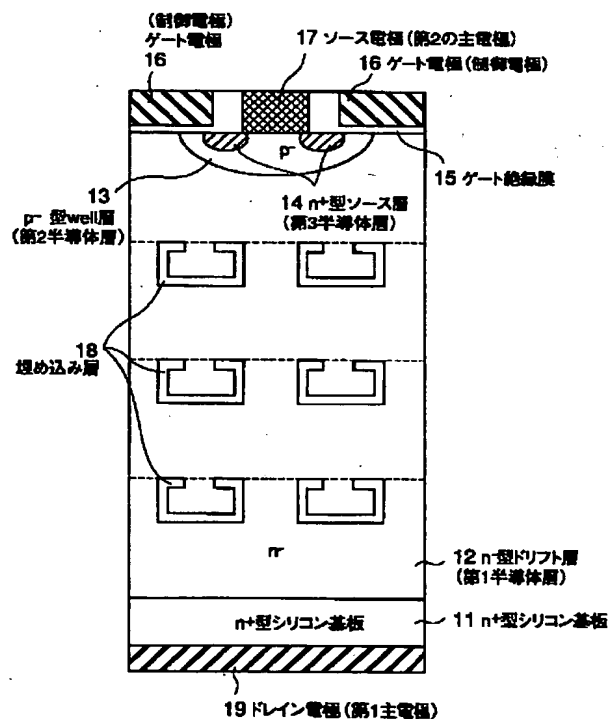
弁理士 外川 英明

(54)【発明の名称】 電力用半導体装置及びその製造方法

(57)【要約】

【課題】 本発明は、電力用半導体装置において低オン抵抗を保持したまま、耐圧を向上させることを目的とする。

【解決手段】 本発明の電力用半導体装置は、ドリフト層12と、ドリフト層12に接続されたドレイン電極19と、ドリフト層12表面に選択的に形成されたwell層13と、well層13表面に選択的に形成されたソース層14と、ソース層14とwell層13の表面に形成されたソース電極17と、ソース層14、well層13及びドリフト層12上にゲート絶縁膜15を介して形成された制御電極16と、ドリフト層12に埋め込まれた埋込み層18からなり、埋込み層18は、絶縁物又はドリフト層広いバンドギャップの半導体からなり、U字型で、開口部の幅が内側よりも狭い構造を有する。



【特許請求の範囲】

【請求項1】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、
前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、
前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、
前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、
前記第2半導体層と前記第3半導体層の表面に接合するように形成された第2の主電極と、
前記第3半導体層と、前記第2半導体層と、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、
前記第1半導体層に埋め込まれた埋め込み層と、
を具備し、前記埋め込み層は、絶縁層または、前記第1半導体層よりも広いバンドギャップを有する半導体層からなり、且つU字型で、開口部の幅が、内側よりも狭くなっていることを特徴とする電力用半導体装置。

【請求項2】 対向する第1及び第2主面を有する第1導電型の第1半導体層の第1主面にU字型溝をエッチングにより形成する工程と、
前記U字型溝を含む前記第1半導体層上に絶縁層及びポリシリコンを形成する工程と、
前記絶縁層及びポリシリコンに対し、前記U字型溝の部分のみ残すようエッチングを行う工程と、
前記絶縁層及びポリシリコン上、及びエッチングにより露出した第1半導体層上に、更に第1導電型の第1半導体層を形成する工程と、
前記絶縁層及びポリシリコンが埋め込まれた構造を形成した後、前記第1半導体層の第2主面に電氣的に接続された第1の主電極、前記第1半導体層表面に選択的に形成された第2導電型の第2半導体層、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層、前記第2半導体層と第3半導体層の表面に接合するように形成された第2の主電極、前記第3半導体層と、前記第2半導体層、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極とを形成することを特徴とする電力用半導体装置の製造方法。

【請求項3】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、
前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、
前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、
前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、
前記第2半導体層と前記第3半導体層の表面に接合するように形成された第2の主電極と、
前記第3半導体層と、前記第2半導体層と、前記第1半

導体層上にゲート絶縁膜を介して形成された制御電極と、
前記第1半導体層に埋め込まれた埋め込み層と、
を具備し、前記埋め込み層は、U字型の形状を有する絶縁層及びポリシリコンの積層膜とを有することを特徴とする電力用半導体装置。

【請求項4】 トレンチ溝を有する第1導電型の第1半導体層と、
前記トレンチ溝内に、交互に形成されて埋め込まれた、絶縁物の埋め込み層及びU字型の断面形状を持ち前記第1半導体層に電氣的に接続された半導体層と、
前記第1半導体層に電氣的に接続された第1の主電極と、
前記第1半導体層の表面に選択的に形成された第2導電型の半導体層と、
前記第2半導体層表面に選択的に形成された第1導電型の半導体層と、
前記第2半導体層と第3半導体層の表面に接合するように形成された第2の主電極と、
前記第3半導体層と、前記第2半導体層と、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と有することを特徴とする電力用半導体装置。

【請求項5】 前記第1半導体層と前記第3半導体層間に形成される内蔵ダイオードに順方向電流が流れた後スイッチング動作する半導体装置であって、前記内蔵ダイオードに並列に接続されるショットキーバリアダイオードを同一基板内に形成したことを特徴とする請求項1、3、又は4に記載の電力用半導体装置。

【請求項6】 前記第1半導体層(n-ドリフト)表面に縦形MOSFETを形成したFET領域とショットキーバリアダイオードを形成したSBD領域を別々に有し、FET領域のソース電極とSBD領域のショットキー接触するバリアメタルとが電気配線により接続されていることを特徴とする請求項1、3、又は4に記載の電力用半導体装置。

【請求項7】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、
前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、
前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、
前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、
前記第2半導体層と前記第3半導体層の表面に接合するように形成された第2の主電極と、
前記第3半導体層と、前記第2半導体層と、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、
前記第1半導体層に埋め込まれ、前記第2半導体層に接続された第2導電型の第4半導体層を有し、前記第1半

導体層内の横方向にpn接合が交互に形成され、オフ状態では前記pn接合が空乏化し、前記第1半導体層と前記第2と第4半導体層間に形成される内蔵ダイオードに順方向電流が流れた後スイッチング動作する半導体装置であって、前記内蔵ダイオードに並列に接続されるショットキーバリアダイオードを同一基板内に形成したことを特徴とする電力用半導体装置。

【請求項8】 前記第1半導体層表面に縦形MOSFETを形成したFET領域とショットキーバリアダイオードを形成したSBD領域を別々に有し、FET領域のソース電極とSBD領域のショットキー接触するバリアメタルとが電気配線により接続されていることを特徴とする請求項7に記載の電力用半導体装置。

【請求項9】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなり、内部に多結晶半導体が埋め込まれた断面U字型の埋込み層とを具備したことを特徴とする電力用半導体装置。

【請求項10】 前記埋込み層を形成する絶縁層は、 SiO_2 、 Si_3N_4 で、前記埋込み層を形成する半導体層は、 SiC であることを特徴とする請求項1、3、または9に記載の電力用半導体装置。

【請求項11】 前記多結晶半導体は、前記第1半導体層と同じ第1導電型、若しくは異なる第2導電型を有することを特徴とする請求項9に記載の電力用半導体装置。

【請求項12】 前記多結晶半導体は、前記第1半導体層と同じ第1導電型で、且つ同じ不純物濃度、若しくは異なる不純物濃度を有することを特徴とする請求項9に記載の電力用半導体装置。

【請求項13】 対向する第1及び第2主面を有する第1導電型の第1半導体層の該第1主面上に、断面U字型のトレンチをエッチング形成する工程と、前記トレンチ内壁面を含む前記第1半導体層の第1主面に、絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層を形成する工程と、

前記トレンチ内を含む前記第1半導体層の第1主面上に、多結晶半導体を堆積する工程と、前記第1半導体層の第1主面上の前記多結晶半導体及び前記絶縁層、若しくは前記半導体層を除去して、前記トレンチ内に前記絶縁層、若しくは前記半導体層を介して前記多結晶半導体が埋め込まれたU字型の埋め込み層を形成する工程と、前記U字型の埋め込み層を含む前記第1半導体層の第1主面上に、更に、第1導電型の第1半導体層を堆積する工程と、前記第1半導体層表面に第2導電型の第2半導体層を選択的に形成する工程と、前記第2半導体層表面に第1導電型の第3半導体層を選択的に形成する工程と、前記第2半導体層及び第3半導体層の表面に接合するように第2の主電極を形成する工程と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して制御電極を形成する工程と、前記第1半導体層の第2主面に第1の主電極を形成する工程とを具備したことを特徴とする電力用半導体装置の製造方法。

【請求項14】 前記埋め込み層を形成する絶縁層は、 SiO_2 、 Si_3N_4 で、前記埋込み層を形成する半導体層は、 SiC であることを特徴とする請求項13に記載の電力用半導体装置の製造方法。

【請求項15】 前記多結晶半導体は、前記第1半導体層と同じ第1導電型、若しくは異なる第2導電型を有することを特徴とする請求項13に記載の電力用半導体装置の製造方法。

【請求項16】 前記多結晶半導体は、前記第1半導体層と同じ第1導電型で、且つ同じ不純物濃度、若しくは異なる不純物濃度を有することを特徴とする請求項1に記載の電力用半導体装置の製造方法。

【請求項17】 対向する第1及び第2主面を有する第1導電型の第1半導体層を形成する工程と、第1半導体層の第1主面に、断面U字型のトレンチをエッチング形成する工程と、前記トレンチ内壁面に、酸素、若しくは酸素イオンを導入してU字型の埋め込み層を形成する工程と、前記トレンチ内を含む前記第1半導体層上に、更に、表面が平坦な第1導電型の第1半導体層を形成する工程と、前記第1半導体層表面に、第2導電型の第2半導体層を選択的に形成する工程と、前記第2半導体層表面に第1導電型の第3半導体層を選択的に形成する工程と、前記第2半導体層及び第3半導体層の表面に接合するように第2の主電極を形成する工程と、前記第3半導体層、前記第2半導体層及び前記第1半導

体層上にゲート絶縁膜を介して制御電極を形成する工程と、

前記第1半導体層の第2主面に第1の主電極を形成する工程とを具備したことを特徴とする電力用半導体装置の製造方法。

【請求項18】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部における水平方向の前記U字型埋め込み層の間隔が、素子中央部における水平方向の前記U字型埋め込み層の間隔よりも狭くなっていることを特徴とする電力用半導体装置。

【請求項19】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部の前記U字型埋め込み層における垂直方向のU字長が、素子中央部の前記U字型埋め込み層における垂直方向のU字長よりも長くなっていることを特徴とする電力用半導体装置。

【請求項20】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部の前記U字型埋め込み層は、開口部が底部より狭くなっていることを特徴とする電力用半導体装置。

【請求項21】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、 $A (= Hd / g) \leq 13.2$

となっていることを特徴とする電力用半導体装置。

【請求項22】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、

$$A (= Hd / g) \leq 3.0$$

となっていることを特徴とする電力用半導体装置。

【請求項23】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W+H) / d) \geq 3.0$$

となっていることを特徴とする電力用半導体装置。

【請求項24】 対向する第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層表面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上

設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W+H) / d) \geq 0.5$$

となっていることを特徴とする電力用半導体装置。

【請求項25】 対向する第1及び第2主面を有する第1導電型の第1半導体層と前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、

前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、

前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、

前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、

前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、

前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、

$$A (= Hd / g) \leq 13.2$$

となり、且つ幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W+H) / d) \geq 0.3$$

となることを特徴とする電力用半導体装置。

【請求項26】 前記埋込み層を形成する絶縁層は、SiO₂、Si₃N₄で、前記埋込み層を形成する半導体層は、SiCであることを特徴とする請求項18乃至25のいずれか1項に記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、縦形パワーMOSFET等の電力用半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 縦形パワーMOSFETのオン抵抗は、伝導層（ドリフト層）部分の電気抵抗に大きく依存する。そして、このドリフト層の電気抵抗を決定するドーパ濃度は、ボディとドリフト層が形成するpn接合の耐圧に応じて限界以上には上げられない。このため、素子耐圧とオン抵抗にはトレードオフの関係が存在する。このトレードオフを改善することが低消費電力素子には重要となる。このトレードオフには素子材料により決まる

限界があり、この限界を越える事が既存のパワー素子を越える低オン抵抗素子の実現への道である。

【0003】この材料の限界を越えた低オン抵抗を実現する方法として、キャリアトラップする形状を有する絶縁層、例えば酸化層からなる埋め込み層がドリフト層中に埋め込まれた素子構造がある。図25は、そのような、U字型の埋め込み層が埋め込まれた縦形MOSFETの断面構造と高電圧印可時のドリフト層の縦方向電界分布である。

【0004】n+型シリコン基板1上には、n-型ドリフト層2が形成され、前記n-型ドリフト層2の表面には、選択的にP-型well層3が形成され、前記P-型well層3の表面には、選択的にn+型ソース層4が形成されている。そして、前記n+ソース層4及び前記n-型ドリフト層2上には、ゲート絶縁膜5を介してゲート電極6が形成されている。前記P-型well層3と前記n+型ソース層4とに接続するようその上にはソース電極7が形成されている。更に、前記n-型ドリフト層2中には、複数の埋め込み層8が埋め込まれている。この構造では、埋め込み層8にキャリアがトラップされることにより前記n-型ドリフト層2中の電界を分割するため、耐圧を保持したまま、前記n-型ドリフト層2のドーパ濃度を上げて、限界を越えた低オン抵抗が実現可能となる。

【0005】

【発明が解決しようとする課題】図25に示す電力用半導体装置における素子耐圧は、埋め込み層8で囲まれた部分でのトラップされるキャリア数により決まる。トラップされるキャリア数を大きくする為に埋め込み層8を大きくすると、n-型ドリフト層2の面積が小さくなり、オン抵抗が大きくなる。

【0006】また、ドリフト層中に埋め込み層を埋め込み形成する方法として、図26(a)に示すように、図示省略のn+シリコン基板の上面に、n-型ドリフト層201を形成し、前記n-型ドリフト層201上に第1の酸化層202、レジストパターン203を順次形成した後、ドライエッチングにより前記第1の酸化層202及び前記n-型ドリフト層201に溝204を形成する。

【0007】次いで、図16(b)に示すように、前記第1の酸化層202及び前記レジストパターン203を剥離した後、前記溝204を含む前記n-型ドリフト層201表面に埋め込み層としての第2の酸化層205を形成する。

【0008】次いで、図16(c)に示すように、マスクずれを考慮して前記溝204内及びその開口部周辺の前記n-型ドリフト層201上面部まで覆うようなレジストパターン206を形成した後、前記レジストパターン206をマスクにして前記第2の酸化層205をエッチングする。

【0009】次いで図16(d)に示すように、前記レジストパターン206を剥離した後、前記溝204を含む前記n-型ドリフト層201上に、更にn-型ドリフト層207をエピタキシャル成長させて酸化層によるU字型の埋め込み層205の埋め込み形成を行うという方法が挙げられるが、埋め込み成長を行う時に基板温度は高温となり、酸化層が蒸発し、部分的に厚さが異なり、更には穴が開いてしまい、形成が困難である。

【0010】また、素子のオン抵抗は、埋め込み層の間隔に依存するため、埋め込み層は、図25に示すように、U字型に形成することが望ましいが、この方法では、マスクずれを考慮する必要があるため、埋め込み層の形状は、図26(d)に示すように、必然的に開口部に外方に延在する鍔部を有するU字型構造になり、埋め込み層の間隔が鍔部分だけ狭くなり、素子のオン抵抗が大きくなる。

【0011】本発明の目的は、素子耐圧とオン抵抗とのトレードオフを改善するが可能な電力用半導体装置を提供することにある。

【0012】本発明の他の目的は、埋め込み層の形成を容易に行うことができる電力用半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の発明（請求項1）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電気的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層と前記第3半導体層の表面に接合するように形成された第2の主電極と、前記第3半導体層と、前記第2半導体層と、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層に埋め込まれた埋め込み層と、を具備し、前記埋め込み層は、絶縁層または、前記第1半導体層よりも広いバンドギャップを有する半導体層からなり、且つU字型で、開口部の幅が、内側よりも狭くなっていることを特徴とする。

【0014】この発明によれば、U字型埋め込み層は、外方に延在する鍔部をもたない、望ましいU字型構造に形成されており、埋め込み層間のドリフト層部分を広くできりため、素子のオン抵抗を向上できる。また、U字型埋め込み層の上部開口面積を小さくしてトラップしたキャリアを逃がさない様にしているため、低オン抵抗を保持したまま、耐圧を向上することができる。また、第2の発明（請求項2）に係わる電力用半導体装置の製造方法は、対向する第1及び第2主面を有する第1導電型の第1半導体層の第1主面にU字型溝をエッチングにより形成する工程と、前記U字型溝を含む前記第1半導体

層上に絶縁層及びポリシリコンを形成する工程と、前記絶縁層及びポリシリコンに対し、前記U字型溝の部分のみ残すようエッチングを行う工程と、前記絶縁層及びポリシリコン上、及びエッチングにより露出した第1半導体層上に、更に第1導電型の第1半導体層を形成する工程と、前記絶縁層及びポリシリコンが埋め込まれた構造を形成した後、前記第1半導体層の第2主面に電氣的に接続された第1の主電極、前記第1半導体層表面に選択的に形成された第2導電型の第2半導体層、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層、前記第2半導体層と第3半導体層の表面に接合するように形成された第2の主電極、前記第3半導体層と、前記第2半導体層、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極とを形成することを特徴とする。

【0015】この発明によれば、U字型埋め込み層を埋め込み成長により形成する際に、絶縁層表面をポリシリコンで覆うため、成長中の絶縁層の蒸発を抑制することができる。また、第3の発明（請求項4）に係わる電力用半導体装置は、トレンチ溝を有する第1導電型の第1半導体層と、前記トレンチ溝内に、交互に形成されて埋め込まれた、絶縁層の埋め込み層及びU字型の断面形状を持ち前記第1半導体層に電氣的に接続された半導体層と、前記第1半導体層に電氣的に接続された第1の主電極と、前記第1半導体層の表面に選択的に形成された第2導電型の半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の半導体層と、前記第2半導体層と第3半導体層の表面に接合するように形成された第2の主電極と、前記第3半導体層と、前記第2半導体層と、前記第1半導体層上にゲート絶縁膜を介して形成された制御電極とを有することを特徴とする。この発明によれば、U字型埋め込み層を埋め込むことにより低オン抵抗を実現した縦形MOSFETと、ショットキーバリアダイオードとを並列接続した状態で集積化することにより、高速スイッチングを1チップで実現することができる。

【0016】更に、第4の発明（請求項9）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギ

ャップをもつ半導体層からなり、内部に多結晶半導体が埋め込まれた断面U字型の埋め込み層とを具備したことを特徴とする。

【0017】この発明によれば、U字型埋め込み層は、外方に延在する鰭部をもたない、望ましいU字型構造に形成されており、埋め込み層間のドリフト層部分を広くできりため、素子のオン抵抗を向上できる。また、U字型埋め込み層内のポリシリコン濃度、或いは導電型を変えることにより、埋め込み層におけるキャリアの蓄積量を制御できるため、任意の耐圧及びオン抵抗を容易に得ることができる。

【0018】上記第4の発明の電力用半導体装置においては、具体的には、前記埋め込み層を形成する絶縁層は、 SiO_2 、 Si_3N_4 で、前記埋め込み層を形成する半導体層は、 SiC である。

【0019】また、前記多結晶半導体は、前記第1半導体層と同じ第1導電型、若しくは異なる第2導電型を有することが好ましい。

【0020】更に前記多結晶半導体は、前記第1半導体層と同じ第1導電型で、且つ同じ不純物濃度、若しくは異なる不純物濃度を有することが好ましい。

【0021】更にまた、第5の発明（請求項13）に係わる電力用半導体装置の製造方法は、対向する第1及び第2主面を有する第1導電型の第1半導体層の該第1主面上に、断面U字型のトレンチをエッチング形成する工程と、前記トレンチ内壁面を含む前記第1半導体層の第1主面に、絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層を形成する工程と、前記トレンチ内を含む前記第1半導体層の第1主面上に、多結晶半導体を堆積する工程と、前記第1半導体層の第1主面上の前記多結晶半導体及び前記絶縁層、若しくは前記半導体層を除去して、前記トレンチ内に前記絶縁層、若しくは前記半導体層を介して前記多結晶半導体が埋め込まれたU字型の埋め込み層を形成する工程と、前記U字型の埋め込み層を含む前記第1半導体層の第1主面上に、更に、第1導電型の第1半導体層を堆積する工程と、前記第1半導体層表面に第2導電型の第2半導体層を選択的に形成する工程と、前記第2半導体層表面に第1導電型の第3半導体層を選択的に形成する工程と、前記第2半導体層及び第3半導体層の表面に接合するように第2の主電極を形成する工程と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して制御電極を形成する工程と、前記第1半導体層の第2主面に第1の主電極を形成する工程とを具備したことを特徴とする。

【0022】この発明によれば、U字型埋め込み層内に多結晶半導体を埋め込んだ後、ドリフト層をエピタキシャル成長しているため、埋め込み層の絶縁層の表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層の形成が可能である。

【0023】また、U字型埋め込み層は、前記ドリフト層上面が露出まで絶縁層及び多結晶半導体を除去し、前記トレンチ内にのみ絶縁層及び多結晶半導体を残すことにより形成する。従って、開口部に外方に延在する鍔部をもたない、望ましいU字型の埋め込み層が簡単に形成できる。更に、トレンチ内を多結晶半導体で埋め込んでいるため、成長後の上層ドリフト層の表面は平坦となり、平坦化処理が省略でき、製造工程数を減らすことができる。

【0024】上記第5の発明の電力用半導体装置の製造方法においては、具体的には、前記埋め込み層を形成する絶縁層は、 SiO_2 、 Si_3N_4 で、前記埋め込み層を形成する半導体層は、 SiC である。

【0025】また、前記多結晶半導体は、前記第1半導体層と同じ第1導電型、若しくは異なる第2導電型を有することが好ましい。

【0026】更に、前記多結晶半導体は、前記第1半導体層と同じ第1導電型で、且つ同じ不純物濃度、若しくは異なる不純物濃度を有することが好ましい。

【0027】更にまた、第6の発明（請求項17）に係わる電力用半導体装置の製造方法は、対向する第1及び第2主面を有する第1導電型の第1半導体層を形成する工程と、第1半導体層の第1主面に、断面U字型のトレンチをエッチング形成する工程と、前記トレンチ内壁面に、酸素、若しくは窒素イオンを注入してU字型の埋め込み層を形成する工程と、前記トレンチ内を含む前記第1半導体層上に、更に、表面が平坦な第1導電型の第1半導体層を形成する工程と、前記第1半導体層表面に、第2導電型の第2半導体層を選択的に形成する工程と、前記第2半導体層表面に第1導電型の第3半導体層を選択的に形成する工程と、前記第2半導体層及び第3半導体層の表面に接合するように第2の主電極を形成する工程と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して制御電極を形成する工程と、前記第1半導体層の第2主面に第1の主電極を形成する工程とを具備したことを特徴とする。

【0028】この発明によれば、U字型埋め込み層は、酸素、若しくは窒素のイオン注入及びアニールによりトレンチ内壁面に沿ってドリフト層中に形成されるため、上層のドリフト層のエピタキシャル成長時に、埋め込み層の絶縁層表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層の形成が可能である。また、開口部に外方に延在する鍔部をもたない、望ましいU字型構造の埋め込み層が簡単に形成できる。

【0029】更にまた、第7の本発明（請求項18）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電気的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的

に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電気的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部における水平方向の前記U字型埋め込み層の間隔が、素子中央部における水平方向の前記U字型埋め込み層の間隔よりも狭くなっていることを特徴とする。

【0030】更にまた、第8の本発明（請求項19）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電気的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び第3半導体層の表面に電気的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部の前記U字型埋め込み層における垂直方向のU字長が、素子中央部の前記U字型埋め込み層における垂直方向のU字長よりも長くなっていることを特徴とする。

【0031】更にまた、第9の発明（請求項20）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電気的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び第3半導体層の表面に電気的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、素子終端部の前記U字型埋め込み層は、開口部が底部より狭くなっていることを特徴とする。

【0032】上記第7乃至第9の発明によれば、素子終端部においても、n型ドリフト層内の電界を分割することができ、素子終端部の耐圧を向上できる。そして、素子終端部では、電界の方向が横方向に向くため、キャリアがトラップされ難く、素子部に比べて蓄積キャリアが少なくなるが、素子終端部の埋め込み層の間隔を狭くして埋め込み層数を増加させ、また素子終端部の埋め込み層の垂直方向のU字長を長くすることにより、素子終端部の蓄積キャリア量が増加し、また素子終端部の埋め込み層の開口部を底部より狭くすることにより、蓄積キャリアが逃げ難くなり、素子部と同様の耐圧にすることができる。

【0033】更にまた、第10の発明（請求項21）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、

$$A (= Hd / g) \leq 13.2$$

となっていることを特徴とする。

【0034】更にまた、第11の発明（請求項22）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、

$$A (= Hd / g) \leq 3.0$$

となっていることを特徴とする。

【0035】更にまた、第12の発明（請求項23）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W + H) / d) \geq 3.0$$

となっていることを特徴とする。

【0036】更にまた、第13の発明（請求項24）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層表面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W + H) / d) \geq 0.5$$

となっていることを特徴とする。

【0037】更にまた、第14の発明（請求項25）に係わる電力用半導体装置は、対向する第1及び第2主面を有する第1導電型の第1半導体層と、前記第1半導体層の第2主面に電氣的に接続された第1の主電極と、前記第1半導体層の第1主面に選択的に形成された第2導電型の第2半導体層と、前記第2半導体層表面に選択的に形成された第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に電氣的に接続された第2の主電極と、前記第3半導体層、前記第2半導体層

及び前記第1半導体層上に、ゲート絶縁膜を介して形成された制御電極と、前記第1半導体層内で、前記第1の主電極と前記第2の主電極とを結ぶ垂直方向と直交する水平方向に1個以上設けられ、前記垂直方向に1段以上設けられ、且つ絶縁層、若しくは前記第1半導体層より広いバンドギャップをもつ半導体層からなる断面U字型の埋め込み層とを具備し、前記U字型埋め込み層の高さHと配置ピッチdの積と隣接する前記U字型埋め込み層の間隔gとの比Aが、次のように、

$$A (= Hd / g) \leq 13.2$$

となり、且つ幅Wと高さHの和と配置ピッチdとの比Bが、次のように、

$$B (= (W + H) / d) \geq 0.3$$

となることを特徴とする。

【0038】上記第10乃至第14の発明によれば、オン抵抗の低いMOSFETを容易に設計できる。

【0039】上記第7乃至第14の発明の電力用半導体装置において、具体的には、前記埋め込み層を形成する絶縁層は、 SiO_2 、 Si_3N_4 で、前記埋め込み層を形成する半導体層は、 SiC である。

【0040】

【発明の実施の形態】（第1の実施形態）図1は本発明の第1の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。n+シリコン基板11上には、n-型ドリフト層（第1半導体層）12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層（第2半導体層）13が形成され、前記P-型well層13の表面には、選択的にn+型ソース層（第3半導体層）14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極（制御電極）16が形成されている。前記P-型well層13及び前記n+型ソース層14上には、その両層に跨ってソース電極17（第2の主電極）が形成されている。そして、前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電気的に接続されている。

【0041】更に、前記n-型ドリフト層12中には、開口部が狭くなったU字型の例えば、酸化層からなる埋め込み層18が、前記ソース電極17と前記ドレイン電極19とを結ぶ垂直方向と直交する水平方向に複数個、例えば2個設けられ、更に垂直方向に3層埋め込まれている。

【0042】このような構造においては、デバイスオフ時に前記ドレイン電極19に高電圧が印加されると、前記P-型well層13より空乏層が伸びる。この空乏層が前記U字型埋め込み層18に到達したとき、U字型埋め込み層18に囲まれた内側の半導体層に蓄積層が形成されて、電子がトラップされた状態となる。トラップされた電子の数が空乏化した前記n-型ドリフト層12のドナーイオン数と釣り合うと、電気力線が終端される

為、前記n-型ドリフト層12の縦方向の電界は、前記U字型埋め込み層18毎に分割される。図1の構造では、前記U字型埋め込み層18は3層埋め込まれている為、電界は4分割されるので、分割されたU字型埋め込み層間で必要な耐圧は、全体の1/4となる。

【0043】このため、前記n-型ドリフト層12のドーピング濃度を限界の4倍にでき、オン抵抗を1/4まで小さくすることが可能となる。図1の構造を600V素子に用いた場合、各埋め込み層間に必要な耐圧は150Vであり、前記n-型ドリフト層のドーピング濃度を $2.5 \times 10^{14} \text{ cm}^{-3}$ から $1 \times 10^{15} \text{ cm}^{-3}$ まで上げることが可能である。

【0044】U字型埋め込み層18の厚さは $0.2 \mu\text{m}$ 、幅 $3 \mu\text{m}$ 、高さ $2 \mu\text{m}$ 、横方向のピッチ $6 \mu\text{m}$ 、縦方向の間隔 $14 \mu\text{m}$ である。U字型埋め込み層18はその上部が内側に迫り出した構造となっている為、底辺の幅より開口部の幅が狭いことを特徴としている。

【0045】前記U字型埋め込み層における開口部の幅を狭める為に、迫り出した長さに対する耐圧とオン抵抗の変化を図2に示す。迫り出す長さが大きくなると、U字型溝内部にトラップされる電子が多くなり、耐圧が向上する。そして、迫り出しの有無により電流経路は変化しないので、オン抵抗は変化しない。 $0.3 \mu\text{m}$ 以上の迫り出しにより100V以上耐圧が向上する。また、ギャリアのトラップに生じる時間は短い為、開口幅が小さくなくても、スイッチング特性は変化しない。

【0046】このような構造では、U字型埋め込み層内部にトラップされた電子数により素子耐圧が決まり、トラップされる電子数は、U字型埋め込み層の形状で決まる。トラップされた電子数が少ないと、ドナーイオンの電気力線が各埋め込み層で終端せず、上部P-型well層まで伸びる為、電界が分割されずに、P-型well層とn-型ドリフト層で形成されるpn接合の電界が上がってしまい、耐圧が低下する。トラップされる電子数は、U字型埋め込み層内側に形成される蓄積層の状態数と等しい。蓄積層は、U字型の底面及び側面に沿って形成される為、U字型埋め込み層の幅、高さ、開口幅、厚さでトラップされる電子数が決まる。幅、高さを大きくすれば、蓄積層面積が大きくなり、トラップされる電子数は増えて、耐圧は大きくなるが、電子が走行できるドリフト層面積が小さくなる為、オン抵抗が増加してしまう。U字型埋め込み層の開口部が内側に迫り出して、開口幅が小さくなっていると、側面にできた蓄積層にトラップされた電子がドリフト層へと流れ出さずに保持できる。このため、開口幅を狭くすることにより、高さが低くとも埋め込み層内側にトラップされる電子数を増え、耐圧が向上することが本発明の特徴である。

【0047】また、蓄積層に蓄積される電子の数は、U字型埋め込み層にかかる電圧と埋め込み層の層の厚さで決まる。埋め込み層の厚さが薄くなると、埋め込み層の

電界が大きくなる為、蓄積層が形成されやすくなり、蓄積される電子数が増える。蓄積する電子を増やす量によりU字型埋め込み層の開口部の迫り出した長さが決まっている。このため、埋め込み層の厚さを減らすことにより、迫り出した長さも減らすことが可能となる。図2に示す様に、迫り出した長さは、埋め込み層の厚さ程度は必要である。

【0048】図3に上述の本発明の第1の実施形態に示した縦形パワーMOSFETにおける、U字型埋め込み層の形成に関する製造工程の断面図を示す。説明を容易にするため参照番号を変えているが、該プロセスフローにおける、第1のシリコン層20、第2のシリコン層23は、図1のn型ドリフト層12対応し、第1の酸化層21、第2の酸化層22は、図1の埋め込み層18に対応する。

【0049】U字型埋め込み層の形成に関しては、まず、ドライエッチングにより第1の酸化層21及び第1のシリコン層20に溝を形成し、そして、前記第1の酸化層21をマスクとして、ウェットエッチングにより前記第1のシリコン層20のエッチングを行う。次に熱酸化して第2の酸化層22を形成し、必要な部分のみ酸化層を残して、第2のシリコン層23の埋め込み成長を行うことにより、開口部が狭くなったU字型埋め込み層18が埋め込まれた構造が形成される。

(第2の実施形態)図4は本発明の第2の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。前述の第1の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n型ドリフト層12が形成され、前記n型ドリフト層12の表面には、選択的にP型well層13が形成され、前記P型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記P型well層13及び前記n+型ソース層14上に、両層に跨ってソース電極17(第2の主電極)が形成されている。そして、前記n+シリコン基板11には、ドレイン電極19(第1の主電極)が電気的に接続されている。

【0050】更に、前記n型ドリフト層12中には、酸化層からなるU字型の埋め込み層24が前記ソース電極17と前記ドレイン電極19とを結ぶ垂直方向と直交する水平方向に複数個、例えば2個設けられ、更に垂直方向に3層埋め込まれている。そして、埋め込まれた前記U字型埋め込み層24の上面は、ポリシリコン25により覆われていることを特徴としている。オフ時に電界がかかるn型ドリフト層12中にポリシリコン25が存在するが、最も電界が小さくなる部分なので、耐圧には影響が無い。そして、このポリシリコン25は、n型ドリフト層12と電気的に接続されているので、素子

動作上問題無い。

【0051】埋め込み層24の埋め込み成長を行う場合、埋め込み層24の脇のn+基板上から単結晶シリコンが成長し、ポリシリコン上は、多結晶化したシリコンが堆積される。n層から縦方向に成長した単結晶が埋め込み層の厚さを越えると横方向にも単結晶膜が伸びていき、横方向全面が単結晶膜となる。この為、埋め込み成長後の埋め込み層上のポリシリコンの厚さは、成長前に堆積したポリシリコンの厚さと埋め込み成長時に付いた厚さの合計となる。埋め込み成長前に堆積するポリシリコン層の厚さは、埋め込み層表面を完全に覆っていればよいので、数100オングストローム程度で良い。埋め込み成長時に付くポリシリコン層の厚さは、埋め込み層の厚さ程度となる。よって、最終的なポリシリコンの厚さは、埋め込み層の厚さ以上となる。

【0052】図5に上述の本発明の第2の実施形態に示した縦形パワーMOSFETにおける、U字型埋め込み層の形成に関する製造工程の断面図を示す。まず、酸化層とシリコン層(n型ドリフト層12)との積層構造に対し、ドライエッチングにより前記酸化層及びn型ドリフト層12に溝を形成し、そして、熱酸化を行うことにより埋め込み層となる酸化層24を形成する。

【0053】この状態で前記酸化層24上にn型ドリフト層の埋め込み成長を行うと、成長時の高温と水素アニールにより酸化層が蒸発してしまう。蒸発しても元の酸化層が厚くて、埋め込みを行った後にも酸化層が残ったとしても、膜厚が均一とならない。

【0054】そこで、本実施の形態では、埋め込み成長前に前記酸化層24をポリシリコン25でカバーする。その後、n型ドリフト層12の埋め込み成長を行うことを特徴としている。前記酸化層24の表面がポリシリコン25で覆われていることで、前記酸化層24が直接高温にさらされる事が無く、埋め込み成長後も均一な厚さの酸化層からなる埋め込み層24が埋め込まれる。

(第3の実施形態)図6は本発明の第3の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。前述の第1の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n型ドリフト層12が形成され、前記n型ドリフト層12の表面には、選択的にP型well層13が形成され、前記P型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記P型well層13及び前記n+型ソース層14上に、その両層に跨ってソース電極17(第2の主電極)が形成されている。そして、前記n+シリコン基板11には、ドレイン電極19(第1の主電極)が電気的に接続されている。

【0055】そして、前記ゲート電極16下に位置する

前記n-型ドリフト層12には、トレンチ26が形成されている。前記トレンチ26内には、酸化層からなる埋め込み層27とU字型の断面形状を持つポリシリコン28が交互に埋め込まれており、ポリシリコン28が前記n-型ドリフト層12と電氣的に接続されていることを特徴としている。

【0056】素子がオフ時には、ドリフト層からポリシリコン層に電子が流れ込んでトラップされ、ドリフト層の電界が分割され、耐圧が向上する。この構造では、埋め込み成長を行わず、酸化層とポリシリコン層の堆積により形成できる為、大幅なコスト削減が期待できる。

【0057】図7に上述の本発明の第3の実施形態に示した縦形パワーMOSFETにおける、トレンチの形成に関する製造工程の断面図を示す。初めに、n-型ドリフト層12に対し、素子耐圧に必要な厚さ分だけエッチングを行い、トレンチ26を形成する。600V素子の場合、40～50 μ m程度エッチングを行う。その後、前記トレンチ26内を酸化層27aで埋め込む。そして、U字型溝形成の為に、前記トレンチ26上の前記酸化層27aを2 μ m深さ程度エッチングする。そして、ドライエッチングにより底辺にU字型形成しながら前記酸化膜27aのエッチバックを行い、その上にポリシリコン層28を堆積する。この時は、堆積レートをはやくして、前記トレンチ26側壁にはあまり堆積されないようにする。そして、側壁に付いたポリシリコン28を熱酸化して熱酸化層27bとした後、再び酸化層27cでトレンチ26内を埋め込む。このプロセスを繰り返すことにより、U字型埋め込み層27が縦方向に多層埋め込まれた構造が形成される。

（第4の実施形態）図8は本発明の第4の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。前述の第1の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n-型ドリフト層12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層13が形成され、前記P-型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電氣的に接続されている。そして、前記n-型ドリフト層12中には、例えば酸化層からなるU字型の埋め込み層18が垂直方向と直交する水平方向に複数個、例えば2個設けられ、垂直方向に3層埋め込まれている。

【0058】前記P-型well層13及び前記n+型ソース層14とに接続するよう、前記U字型埋め込み層18が埋め込まれた前記n-型ドリフト層12上部には、ソース電極29が形成されるが、本実施の形態においては、そのソース電極29が前記n-型ドリフト層1

2とのショットキーコンタクトと電氣的に接続されていることを特徴としている。これにより、パワーMOSFETの内蔵pnダイオードと並列にショットキーバリアダイオード（SBD）が接続されている構造となる。このため、U字型埋め込み層18により低オン抵抗となった高速SBDがパワーMOSFETと並列接続されている為、外部に高速ダイオードを接続する必要がなくなる。

（第5の実施形態）図9は本発明の第5の実施形態に係る縦形パワーMOSFETを示すものであり、同図

（a）は素子構造の断面図であり、同図（b）はその平面図である。前述の第1の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n-型ドリフト層12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層13が形成され、前記P-型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記n-型ドリフト層12中には、例えば酸化層のU字型埋め込み層18が垂直方向と直交する水平方向に複数個、例えば2個設けられ、垂直方向に3層埋め込まれている。前記P-型well層13及び前記n-型ソース層14上に、その両層に跨ってソース電極17（第2の主電極）が形成されている。そして、前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電氣的に接続されている。

【0059】本実施形態においては、前述の第4の実施形態同様に、パワーMOSFETの内蔵pnダイオードと並列にショットキーバリアダイオード（SBD）が接続されている構造であるが、U字型埋め込み層18が埋め込まれたn-型ドリフト層12上部に、縦形パワーMOSFETを形成した領域とSBDを形成した領域が別々にあることを特徴としている。SBD領域に形成されるアノード電極は、n-型ドリフト層12とのショットキーコンタクトと電氣的に接続され、また、ソース電極17と配線30を介して電氣的に接続されている。このように、パワーMOSFETとSBDを別々に形成することにより、それぞれの素子が最適な素子面積で1チップ化できる。

【0060】別々に形成したパワーMOSFETとSBDの接続は、図に示す様に蒸着により形成した金属膜（配線）30を用いて接続しても、ワイヤーボンディングを用いて接続しても実施可能である。

（第6の実施形態）図10は本発明の第6の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。前述の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n-型ドリフト層12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層13が形成さ

れ、前記P-型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。

【0061】第4の実施の形態と同様に、前記P-型well層13と前記n-型ソース層14とに接続するようソース電極29が形成され、そのソース電極29が前記n-型ドリフト層12とのショットキーコンタクトと電氣的に接続されている。そして、前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電氣的に接続されている。本実施の形態は、更に前記n-型ドリフト層12中に、前記P-型well層13に接続されたp-型リサーフ層31が形成された縦形リサーフ構造を有するパワーMOSFETであることを特徴としている。第4の実施形態と同様に低オン抵抗化されたパワーMOSFETとSBDの集積した半導体装置である。

（第7の実施形態）図11は本発明の第7の実施形態に係る縦形パワーMOSFETを示すものであり、同図

（a）は素子構造の断面図であり、同図（b）はその平面図である。前述の実施形態と対応する部分には同一の参照番号を付し説明する。n+シリコン基板11上には、n-型ドリフト層12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層13が形成され、前記P-型well層13の表面には、選択的にn+型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記P-型well層13及び前記n+型ソース層14上に、その両層に跨ってソース電極17（第2の主電極）が形成、そのソース電極17が前記n-型ドリフト層12とのショットキーコンタクトと電氣的に接続されている。そして、前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電氣的に接続されている。

【0062】本実施形態においては、n-型ドリフト層12中に、P-型well層13に接続されたP-型リサーフ層31が形成された構造であるとともに、縦形パワーMOSFETを形成した領域とショットキーバリアダイオード（SBD）を形成した領域が別々になるよう、内蔵pnダイオードと並列にSBDが形成される構造である。パワーMOSFETとSBDを別々に形成することにより、それぞれが最適な素子面積で1チップ化できる。

【0063】別々に形成したパワーMOSFETとSBDの接続は、図に示す様に蒸着により形成した金属膜（配線）30を用いて接続しても、ワイヤーボンディングを用いて接続しても実施可能である。

（第8の実施形態）図12は本発明の第8の実施形態に係る縦形パワーMOSFETの素子構造の断面図であ

る。n+シリコン基板11上には、n-型ドリフト層12が形成され、前記n-型ドリフト層12の表面には、選択的にP-型well層13aが形成され、前記P-型well層13aの表面には、選択的にn-型ソース層14が形成されている。そして、前記n+型ソース層14及び前記n-型ドリフト層12上には、ゲート絶縁膜15を介してゲート電極16が形成されている。前記P-型well層13a及び前記n+型ソース層14上に、両層に跨ってソース電極17（第2の主電極）が形成されている。そして、前記n+シリコン基板11には、ドレイン電極19（第1の主電極）が電氣的に接続されている。そして、前記n-型ドリフト層12中には、開口部が狭くなった、例えば酸化層からなるU字型の埋め込み層18が前記ソース電極17と前記ドレイン電極19とを結ぶ垂直方向と直交する水平方向に複数個設けられ、更に垂直方向に3層埋め込まれている。このようなパワーMOSFET領域における素子構造は、前述の第1の実施の形態と同じであり、U字型溝内に電子をトラップすることによりドナーイオンの電気力線をトラップした電子に終端させ、電界が分割される。

【0064】本実施例においては、更に、パワーMOSFET領域の素子内部だけでなく、素子終端部においても、素子内部と同様の開口部が狭くなった例えば酸化層のU字型の埋め込み層18が埋め込まれていることを特徴としている。図11において、右側半分の領域が素子終端部であり、素子終端部におけるn-型ドリフト層12の表面には、ガードリングとしてP-型well層13b、13c、13dが形成されており、そのP-型well層下のn-型ドリフト層12内部には、開口部が狭くなったU字型の埋め込み層18が複数埋め込まれている。これにより、素子終端部においても、n-型ドリフト層内の電界を分割することができる。そして、素子終端部では、電界の方向が横方向にも向く為、キャリアがトラップされ難くなるが、開口部を狭くすることにより、終端部での耐圧低下を防止できる。

【0065】埋め込まれたU字型埋め込み層18は、図中では上下方向に揃った（垂直方向：縦方向に並んだ）形で示されているが、原理的には、素子平面内に一樣な密度でU字型埋め込み層が埋め込まれていれば、耐圧は保持されるので、埋め込み層は上下方向に揃った形で、揃っていない形でもどちらの形で配置されても実施可能である。

（第9の実施形態）図13は、本発明の第9の実施形態に係るU字型埋め込み層の平面パターンを示す図である。埋め込み層は、素子中央部ではストライプ状に配置され、素子終端部では、ガードリングと同様に同心円状に配置される。埋め込み層は、ピッチ6 μ m、幅3 μ mで、素子中央部も素子終端部も同一の間隔・幅としている。耐圧保持の為に終端部の埋め込み層の間隔を狭めて配置しても実施可能である。図では、ストライプの全て

が同電位となるように外周を一周するようなリングに接続されているが、接続されていなくても実施可能である。また、埋め込み層をメッシュ状に配置しても実施可能である。

【0066】本実施の形態においては、 n -型ドリフト層中に多層の埋め込み層を配置する場合、各層で同心円状のガードリングを形成する為、耐圧保持には埋め込み層同士の上下方向位置合わせが必要となる。その位置合わせ精度は、素子終端のガードリング1、2本分の間隔である $10\mu\text{m}$ 程度が必要である。

(第10の実施形態)図14は、本発明の第10の実施形態に係るU字型埋め込み層の平面パターンを示す図である。埋め込み層は、素子全体で千鳥状に配置され、ピッチ $6\mu\text{m}$ 、直径 $3\mu\text{m}$ としている。耐圧保持の為に終端部の埋め込み層の間隔を狭めて配置することも可能である。且つまた、格子状に配置しても実施可能である。本実施例においては、ドリフト層中に多層の埋め込み層を形成する場合、各層で同心円状のガードリングを形成していない為、耐圧保持に埋め込み絶縁層同士の上下方向位置合わせを行う必要がない。且つ、埋め込み層の面積が小さくなる為、オン抵抗は小さくなる。

(第11の実施形態)図15は、本発明の第11の実施形態に係る縦型パワーMOSFETの素子構造を示す断面図である。ドレイン層としての n +型シリコン基板40には、下段の n -型ドリフト層41がエピタキシャル成長により形成され、前記下段の n -型ドリフト層41の表面には、キャリアをトラップするための断面U字構造をもつ複数個の下側の埋込み層42が所定間隔でストライプ状に形成されている。

【0067】また、前記下段の埋め込み層42上には、中段の n -型ドリフト層43が n -型ドリフト層41と同様に形成され、前記中段の n -型ドリフト層43の表面には、キャリアをトラップするための断面U字構造をもつ複数個の上側の埋込み層44が所定間隔でストライプ状に形成されている。

【0068】ここで、各U字構造の埋込み層32、34は、酸化層から形成され、U字溝内には、従来では、単結晶シリコンの n -型ドリフト層が埋め込まれているが、本実施形態では、多結晶半導体のポリシリコン52が埋め込まれている。各ポリシリコン52は、従来の単結晶シリコンの場合と同様に、各 n -型ドリフト層と電氣的に接続され、高電圧が印加された場合、U字溝内に蓄積層が形成されて、キャリアをトラップすることができる。また、各埋込み層42及び44は、いずれも電氣的に浮遊状態にされている。

【0069】そして、前記上側の埋込み層44上には、上段の n -型ドリフト層45が形成され、前記上段の n -型ドリフト層45の表面には、複数の P -型well層46が選択的に形成され、各 P -型well層46表面には、 n +型ソース層47が選択的に形成されてい

る。また、前記 P -型well層46及び前記 n +型ソース層47から前記 n -型ドリフト層45を介して図示略の他方の前記 P -型well層46及び前記 n +型ソース層47に至る領域には、ゲート絶縁膜48を介してゲート電極49が形成されている。

【0070】また、前記 P -型well層46及び n +型ソース層47上には、第2の主電極としてのソース電極50が形成され、前記 n +型シリコン基板40における前記下段の n -型ドリフト層41と反対側の表面には、第2の主電極としてのドレイン電極51が形成されている。

【0071】しかして、このような構造のパワーMOSFETでは、前記埋め込み層42、44にキャリアがトラップされることにより、前記 n -型ドリフト層41、43、45中の電界が分割され、耐圧を保持したまま、前記 n -型ドリフト層41、43、45のドーピング濃度を上げて、限界を越えた低オン抵抗が実現可能となる。例えば、耐圧600V素子において、一例として、垂直方向(紙面上で縦方向)に2層のU字構造の埋め込み層を設けた場合、 n -型ドリフト層41、43、45のドーピング濃度は、通常の縦型MOSFETにおけるドーピング濃度 $2.5 \times 10^{14} \text{cm}^{-3}$ の3倍の $7.5 \times 10^{14} \text{cm}^{-3}$ とすることが可能である。また前記埋込み層42、43を、膜厚 $0.2\mu\text{m}$ 、幅 $2.0\mu\text{m}$ 、高さ $2.5\mu\text{m}$ 、横方向の配置間隔(ピッチ) $6.0\mu\text{m}$ 、縦方向のピッチ $17.0\mu\text{m}$ とした場合、オン抵抗は、シリコン(Si)限界を超えた $40 \text{m}\Omega \cdot \text{cm}^2$ とすることが可能である。

【0072】また、U字型埋め込み層42、44内のポリシリコン52の濃度、或いは導電型を変えることにより、前記埋め込み層42、44におけるキャリアの蓄積量を制御できる。例えば、前記ポリシリコン52のドーピング濃度を前記 n -型ドリフト層43、45と同じ、若しくはそれ以下、例えば、ドーピング濃度を低くした場合、前記 P -型well層46から空乏層が前記埋め込み層42、44に到達した際、前記ポリシリコン52を確実に空乏化して、蓄積層が形成し易くなり、トラップするキャリアが増加する。逆に、前記ポリシリコン52のドーピング濃度を前記 n -型ドリフト層43、45よりも高くした場合、U字溝内の前記ポリシリコン52の電位が下がり、電子が流れ込みやすくなって、キャリアがトラップされやすくなる。また、前記ポリシリコン52を前記 n -型ドリフト層43、45と異なる導電型の P 型とした場合、前記ポリシリコン52の電位が上がり、蓄積層にトラップされたキャリアが前記 n -型ドリフト層43、45に逃げ難くなる。その結果、前記埋め込み層42、44内にトラップするキャリア数が増え、耐圧が向上でき、オン抵抗を低くできる。また、トラップするキャリア量を制御できるため、任意の耐圧及びオン抵抗を容易に得ることができる。

【0073】なお、上記実施形態では、埋め込み層数を2層とした場合を示しているが、1層としても低オン抵抗化が可能であり、Si限界を超えることが可能である。また、層数を増やす程、n-型ドリフト層のドーパ濃度を上げることが可能となり、オン抵抗を低くすることができる。

【0074】また、上記実施形態では、各層の埋め込み層が、ソース電極とドレイン電極とを結ぶ垂直方向において揃った状態に配置されているが、垂直方向において揃ってなくとも動作上問題は無く、且つ、上部MOS構造との上下関係も揃っている必要は無い。

【0075】また、埋め込み層の平面構造は、ストライプ状もしくは千鳥状、格子状にする。ストライプ状とした場合、素子終端部においてはガードリング状に埋め込み層を配置する。この場合、素子部と素子終端部でパターンが異なる為、上下方向の位置合わせが必要となる。千鳥状もしくは格子状に埋め込み層を配置した場合、上下方向に揃える必要がないので、埋め込み構造を形成していく工程で、各層毎に位置合わせをする必要は無い。

(第12の実施形態)次に、上記第11の実施形態に係わる縦型パワーMOSFETの製造方法について、図16に示す工程断面図を用いて説明する。まず、図16

(a)に示すように、図示略のn+型シリコン基板40の上面に、下段のn-型ドリフト層41をエピタキシャル成長により形成し、前記下段のn-型ドリフト層41上に第1のシリコン酸化層53を成膜する。このシリコン酸化層53上にレジストを塗布・乾燥した後、リソグラフィ技術により、レジストパターン55を形成する。前記レジストパターン55をマスクにして反応性イオンエッチング(Reactive Ion Etching:以下、RIEと称する)法により、前記第1のシリコン酸化層53をドライエッチングしてシリコン酸化層パターン53aを形成する。次いで、前記レジストパターン55及び前記シリコン酸化層パターン53aの積層膜をマスクにして、異方性RIE法により前記n-型ドリフト層41に断面U字型溝(以下、トレンチと称する)56を形成する。

【0076】次いで、前記レジストパターン55及び前記シリコン酸化層パターン53aを剥離した後、図16

(b)に示すように、熱酸化法により前記トレンチ56表面を含む前記n-型ドリフト層41の表面に最終的に埋め込み層となる酸化層42を形成する。

【0077】次いで、図16(c)に示すように、前記トレンチ56を含む前記n-型ドリフト層41上に化学的気相成長(Chemical Vapor Deposition:以下、CVDと称する)法により、ポリシリコン52を前記トレンチ56を埋め込むように堆積する。

【0078】次いで、図16(d)に示すように、前記ポリシリコン52をエッチバック法により、前記トレンチ56内のポリシリコン52面が前記n-型ドリフト層

41と同一平面をなすように後退させた後、図16

(e)に示すように、前記n-型ドリフト層41上の前記酸化層42を化学・機械的研磨(Chemical Mechanical polishing:以下、CMPと称する)法により除去して前記下段のn-型ドリフト層41の表面に、U字型溝にポリシリコン52が埋め込まれた下側の埋め込み層42を形成する。

【0079】次いで、図16(f)に示すように、前記下側の埋め込み層42を含む前記下段のn-型ドリフト層41上にエピタキシャル法により中段のn-型ドリフト層43を形成し、下段の場合と同様の16図(a)乃至(e)工程を経て前記中段のn-型ドリフト層43の表面に、U字溝にポリシリコン52が埋め込まれた上側の埋め込み層44を形成する。更に、前記中段のn-型ドリフト層43上にエピタキシャル法にて上段のn-型ドリフト層45を形成する。

【0080】この後、図示しないが、前記上段のn-型ドリフト層45表面にP-型well層46を選択的に拡散形成し、続いて、前記P-型well層46表面にn+型ソース層47を選択的に拡散形成し、前記P-型well層46及び前記n+型ソース層47から前記n-型ドリフト層45を介して図示略の他方の前記P-型well層46に至る領域上に、ゲート絶縁膜48を介してゲート電極49を形成し、前記P-型well層46及び前記n+型ソース層478上に、絶縁保護膜のコンタクトホールを介してソース電極50を形成し、前記n+型シリコン基板40の前記下段のn-型ドリフト層41と反対側の表面にドレイン電極51を、各々、形成することによって図15に示す構造の縦型パワーMOSFETを製作している。

【0081】この実施形態の製造方法によれば、U字型埋め込み層42、44内にポリシリコン52を埋め込んだ後、n-型ドリフト層43、45をエピタキシャル成長しているため、前記埋め込み層42、44の酸化層の表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層42、44の形成が可能である。

【0082】また、U字型埋め込み層42、44は、トレンチ56内を含むn-型ドリフト層41、43上に形成した酸化層42、44及びポリシリコン52を、例えば、エッチバック法により前記n-型ドリフト層41、43上面が露出までエッチングして、前記トレンチ56内にのみ酸化層42、44及びポリシリコン52を残し、他を除去することにより形成する。従って、開口部に外方に延在する鍔部をもたない、望ましいU字型の埋め込み層42、44が形成できる。そのため、得られたパワーMOSFETにおいては、埋め込み層間の間隔が狭くなることなく、オン抵抗を低くすることができる。

【0083】更には、前記トレンチ56を含む前記n-型ドリフト層41、43上に、直接、上層のn-型ドリ

フト層43、45をエピタキシャル成長すると前記上層のn型ドリフト層43、45の上面が凹凸になるため、CMP等により平坦化処理を必要とするが、この実施形態では、トレンチ56内をポリシリコン52で埋め込んでいるため、成長後の上層のn型ドリフト層43、45の表面は平坦となり、CMP等の平坦化処理が省略でき、製造工程数を削減することができる。

【0084】なお、上記実施形態において、前記ポリシリコンと前記埋込み層の酸化層のエッチングは、ウェットエッチングやドライエッチング、CMPで実施可能であり、図ではポリシリコンと酸化層を個別にエッチングする様に示したが、同一のエッチャントもしくはエッチングガスを用いて連続にエッチングすることも可能である。また、絶縁層の形成に熱酸化を用いて説明したが、熱窒化により窒化層を形成するか、CVDを用いて絶縁層もしくは、バンドギャップの広い半導体層を堆積することでも実施可能である。

(第13の実施形態) 次に、縦型パワーMOSFETの他の製造方法について、図17に示す工程断面図を用いて説明する。まず、図17(a)に示すように、図示略のn型シリコン基板40の上面に、下段のn型ドリフト層41をエピタキシャル成長により形成し、前記下段のn型ドリフト層41上に第1のシリコン酸化層53を成膜する。この第1のシリコン酸化層53上にレジストを塗布・乾燥した後、リソグラフィー技術により、レジストパターン55を形成する。前記レジストパターン55をマスクにして、RIE法により、前記第1のシリコン酸化層53をドライエッチングしてシリコン酸化層パターン53aを形成する。次いで、前記レジストパターン55及び前記シリコン酸化層パターン53aの積層膜をマスクにして、異方性RIE法により前記n型ドリフト層41に断面U字型トレンチ56を形成する。

【0085】次いで、図17(b)に示すように、前記レジストパターン55を除去した後、前記シリコン酸化層パターン53aをマスクにして前記トレンチ56内面に酸素をイオン注入した後、アニールして前記n型ドリフト層41内に前記トレンチ56内面に沿った、前記シリコン酸化層からなるU字型埋め込み層42を形成する。次いで、前記シリコン酸化層パターン53aをエッチング除去する。

【0086】次いで、図17(d)に示すように、前記トレンチ56含む前記下段のn型ドリフト層41上にエピタキシャル法により中段のn型エピタキシャル層43を形成し、CMP法により前記n型エピタキシャル層43表面を平坦化処理して中段のn型ドリフト層43を形成すると共に、U字型埋め込み層42内にn型シリコン層43をもつ下側の埋め込み層42を形成する。

【0087】次いで、前記下側の埋め込み層42の場合と同様の図17(a)乃至(d)工程を経て、前記中段

のn型ドリフト層43の表面に、断面U字型トレンチ56を形成し、前記U字型トレンチ56内面に沿って前記n型ドリフト層43内に酸化層のU字型埋め込み層44を形成した後、前記トレンチ56内を含む前記中段のn型ドリフト層43上にエピタキシャル法にて上段のn型ドリフト層45を形成し、前記n型ドリフト層45の表面を平坦化して上面が平坦な上段のn型ドリフト層45を形成すると共に、U字型埋め込み層44内にn型シリコン層をもつ上側の埋め込み層44を形成する。以下、図示しないが、上記第12の実施形態と同様の工程を経て、前記上段のn型ドリフト層45表面にP型well層46を選択的に拡散形成し、続いて、前記P型well層46表面にn型ソース層47を選択的に拡散形成し、前記P型well層46及び前記n型ソース層47から前記n型ドリフト層45を介して図示略の他方の前記P型well層46に至る領域上に、ゲート絶縁膜48を介してゲート電極49を形成し、前記P型well層46及び前記n型ソース層47上に、絶縁保護膜のコンタクトホールを介してソース電極50を形成し、前記n型シリコン基板40の前記下段のn型ドリフト層41と反対側の表面にドレイン電極51を、各々、形成することによって埋め込み層がドリフト層中に埋め込まれた構造の縦型パワーMOSFETを製作している。

【0088】この実施形態の製造方法によれば、前記U字型埋め込み層42、44は、酸素のイオン注入及びアニールによりトレンチ56内壁面に沿って前記n型ドリフト層41、43中に形成されるため、上層のn型ドリフト層43、45のエピタキシャル成長時に、前記埋め込み層42、44の酸化層の表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層の形成が可能である。

【0089】また、前記U字型埋め込み層42、44は、開口部に外方に延在する銑部をもたない、望ましいU字型構造に形成され、そのため得られたパワーMOSFETにおいては、埋め込み層間の間隔が狭くなることなく、オン抵抗を低くすることができる。

【0090】なお、上記実施形態では、U字型埋め込み層は、酸素のイオン注入によるシリコン酸化層で形成したが、窒素のイオン注入による窒化層で形成してもよい。

(第14の実施形態) 次に、本発明の第14の実施形態に係る縦型パワーMOSFETについて説明する。図18は第4の実施形態に係る縦型パワーMOSFETの素子構造を示す断面図である。この実施形態では、n型ドリフト層に埋め込まれたU字型埋め込み層の横方向の間隔が素子部と素子終端部で異なり、素子終端部での間隔が素子部での間隔よりも狭くなっていることを特徴としている。

【0091】即ち、図18に示すように、ドレイン層と

してのn+型シリコン基板60の表面には、下段のn-型ドリフト層61がエピタキシャル成長により形成され、前記下段のn-型ドリフト層61の表面には、キャリアをトラップするための断面U字構造をもつ複数の下側の埋め込み層62aが所定間隔でストライプ状に形成されている。前記下段の埋め込み層62aを含む前記下段のn-型ドリフト層61上には、中段のn-型ドリフト層63が前記下段のn-型ドリフト層61と同様に形成され、前記中段のn-型ドリフト層63の表面には、キャリアをトラップするための断面U字構造をもつ複数の上側の埋め込み層64aが所定間隔でストライプ状に形成されている。同様に、前記上側の埋め込み層64aを含む前記中段のn-型ドリフト層63上には、上段のn-型ドリフト層65が形成されている。各埋め込み層62a、64aは、いずれも電氣的に浮遊状態にされている。

【0092】また、前記上段のn-型ドリフト層65の表面には、複数のP-型well層66が選択的に拡散形成され、各P-型well層66の表面には、n+型ソース層67が選択的に拡散形成されている。前記P-型well層66及び前記n+型ソース層67から前記n-型ドリフト層65を介して図示略の他方の前記P-型well層66及び前記n+型ソース層67に至る領域上には、ゲート絶縁膜68を介してゲート電極69が形成されている。また、前記P-型well層66及び前記n+型ソース層67上には、絶縁保護膜のコンタクトホールを介して第2の主電極としてのソース電極70が形成され、前記n+型シリコン基板60の前記下段のn-型ドリフト層61と反対側の表面には、第1の主電極としてのドレイン電極71が形成されている。そして、この実施形態では、U字型埋め込み層をパワーMOSFET領域の素子部だけでなく、素子終端部においても、素子部と同様に、U字型埋め込み層62b、64bが埋め込まれている。図18において、右半分の領域が素子終端部であり、素子終端部における前記上段のn-型ドリフト層65の表面には、ガードリングとしてのP-型well層66b、66cが形成されており、前記P-型well層66b、66cの下の前記n-型ドリフト層61、63の表面には、前記素子部のU字型埋め込み層62a、64aと同一のU字型埋め込み層62b、64bが形成されている。

【0093】更に、この実施形態では、各段のn-ドリフト層61、63に埋め込まれたU字型埋め込み層62a、62b、64a、64bは、酸化層から形成され、横方向の間隔を、素子部と素子終端部で異ならしめ、素子終端部での間隔を素子部での間隔よりも狭く設けている。例えば、一例として、素子部での埋め込み層62a、64aの横方向間隔を6 μ mとして、素子終端部での埋め込み層62b、64bの間隔を4 μ mとしている。

【0094】この実施形態によれば、素子部のみで設計

を行うと埋め込み間隔を6 μ mとした場合、幅1.6 μ m、高さ2.5 μ mの埋め込み層を埋め込むと、耐圧は600Vとなるが、素子終端部も含めて設計、例えば素子終端部も素子部の埋め込み間隔と同じ、6 μ mとすると耐圧が400Vとなってしまう。即ち、素子部では、電界は縦方向に向いているが、素子終端部では、電界が横方向を向くため、U字型埋め込み層内にトラップされるキャリア数が素子部に比べて少なくなり、耐圧が低下するが、素子終端部の埋め込み層の間隔を4 μ mとすることにより埋め込み層数を多くでき、その結果、素子終端部における埋め込み層全体でのトラップされるキャリア数が増加し、素子終端部の耐圧を、素子部と同じ600Vにできる。

(第15の実施形態) 次に、本発明の第15の実施形態に係わる縦形パワーMOSFETについて説明する。図19は第15の実施形態に係わる縦形パワーMOSFETの素子構造を示す断面図であり、図18と同一部分には同一符号を付して詳しい説明を省略し、ここでは異なる部分についてのみ述べる。即ち、図19に示すように、この実施形態では、各段のn-ドリフト層61、63に埋め込まれたU字型埋め込み層62、64、72、74は、素子部における埋め込み層62、64の間隔と素子終端部における埋め込み層72、74の間隔、並びに幅を同一に設けているが、U字型埋め込み層の溝深(高さ)を、素子部と終端部で異ならしめている。即ち、素子終端部におけるU字型埋め込み層72、74溝深さを、素子部におけるU字型埋め込み層62、64の溝深さよりも深く形成している。

【0095】例えば、一例として、素子部でのU字型埋め込み層62、64の溝深さを2.5 μ mとして、素子終端部でのU字型埋め込み層72、74の溝深さを4.5 μ mとしている。

【0096】この実施形態によれば、素子終端部におけるU字型埋め込み層72、74の溝が深く形成されることにより、U字溝の側壁に形成される蓄積層がその分長くなり、トラップされるキャリア数が増加し、素子終端部におけるU字型埋め込み層全体でのトラップされるキャリア数が増加する。その結果、上記第14の実施形態と同様に素子終端部の耐圧を素子部と同様の耐圧に維持することができる。

【0097】なお、上記実施形態では、U字型埋め込み層の幅は、素子部と素子終端部とで同一に設けているが、素子終端部における埋め込み層の幅を、素子部におけるそれに比べて広くしてもよい。例えば、素子部で幅1.6 μ mとし、素子終端部では幅を3.7 μ mとしても同様な効果が得られる。

(第16の実施形態) 次に、本発明の第16の実施形態に係わる縦形パワーMOSFETについて説明する。図20は第16の実施形態に係わる縦形パワーMOSFETの素子構造を示す断面図であり、図18と同一部分に

は、同一符号を付して詳しい説明を省略し、ここでは異なる部分についてのみ説明する。この実施形態では、各段のn型ドリフト層に埋め込まれたU字型埋め込み層の形状は、素子部と素子終端部で異なり、素子終端部では開口部が狭くなったU字型構造になっている。

【0098】即ち、図20に示すように、ドレイン層としてのn+型シリコン基板60の表面には、下段のn型ドリフト層61がエピタキシャル成長により形成され、前記下段のn型ドリフト層61の表面には、キャリアをトラップするための断面U字構造をもつ複数の下側の埋め込み層62が所定間隔でストライプ状に形成されている。前記下段の埋め込み層62を含む前記n型ドリフト層61上には、中段のn型ドリフト層63が前記n型ドリフト層61と同様に形成され、前記中段のn型ドリフト層63の表面には、キャリアをトラップするための断面U字構造をもつ複数の上側の埋め込み層64が所定間隔でストライプ状に形成されている。同様に、前記上側の埋め込み層64を含む前記n型ドリフト層63上には、上段のn型ドリフト層65が形成される。各埋め込み層62、64は、いずれも、酸化層からなり、電気的に浮遊状態にされている。

【0099】また、前記上段のn型ドリフト層65の表面には、複数のP型well層66が選択的に拡散形成され、各P型well層66の表面には、n+型ソース層67が選択的に拡散形成されている。前記P型well層66及び前記n+型ソース層67から前記n型ドリフト層65を介して図示略の他方の前記P型well層65及び前記n+型ソース層67に至る領域上には、ゲート絶縁膜68を介してゲート電極69が形成されている。また、前記P型well層66及び前記n+型ソース層67上には、絶縁保護膜のコンタクトホールを介して第2の主電極としてのソース電極70が形成され、前記n+型シリコン基板60の前記下段のn型ドリフト層61と反対側の表面には、第1の主電極としてのドレイン電極71が形成されている。

【0100】そして、この実施形態では、U字型埋め込み層をパワーMOSFET領域の素子部だけでなく、素子終端部においても、素子部と同様に、酸化層からなるU字型埋め込み層82、84が埋め込まれている。図20において、右半分の領域が素子終端部であり、素子終端部における前記上段のn型ドリフト層65の表面には、ガードリングとしてのP型well層66b、66cが形成されており、前記P型well層66b、66cの下の前記n型ドリフト層61、63の表面には、前記素子部のU字型埋め込み層62、64と異なる形状のU字型埋め込み層82、84が形成されている。即ち、素子終端部に埋め込まれたU字型埋め込み層82、84は、素子部のU字型埋め込み層62、64の形状と異なり、開口部が狭くなったU字型構造になっている。その他の間隔、高さ、幅及び膜厚等は、同一に形成されている。例

えば、一例として、U字型埋め込み層82、84は、その底辺の幅が2 μ mで開口部の幅が1 μ mに形成している。

【0101】この実施形態によれば、素子終端部の埋め込み層82、84内にトラップされたキャリアがn型ドリフト層63、65に逃げ難くなり、そのため上記第14の実施形態と同様に、終端部の耐圧を素子部と同じ耐圧に維持できる。

(第17の実施形態) 次に、本発明の第17の実施形態に係わる縦形パワーMOSFETについて説明する。図21は、第17の実施形態に係わる縦形パワーMOSFETの素子部を示す断面図である。この実施形態では、U字型埋め込み層の側壁の膜厚を底部の膜厚より厚くしたものである。

【0102】即ち、図21に示すように、ドレイン層としてのn+型シリコン基板90の表面には、下段のn型ドリフト層91がエピタキシャル成長により形成され、前記下段のn型ドリフト層91の表面には、キャリアをトラップするための断面U字構造をもつ複数の下側の埋め込み層92が所定間隔でストライプ状に形成されている。前記下段の埋め込み層92を含む前記n型ドリフト層91上には、中段のn型ドリフト層93が前記n型ドリフト層91と同様に形成され、前記中段のn型ドリフト層93の表面には、キャリアをトラップするための断面U字構造をもつ複数の上側の埋め込み層94が所定間隔でストライプ状に形成されている。

【0103】同様に、前記上側の埋め込み層94を含む前記n型ドリフト層93上には、上段のn型ドリフト層95が形成される。各埋め込み層92、94は、いずれも、酸化層からなり、且つ電気的に浮遊状態にされている。

【0104】また、前記上段のn型ドリフト層95の表面には、複数のP型well層96が選択的に拡散形成され、各P型well層96の表面には、n+型ソース層97が選択的に拡散形成されている。前記P型well層96及び前記n+型ソース層97から前記n型ドリフト層95を介して図示略の他方の前記P型well層96及び前記n+型ソース層97に至る領域上には、ゲート絶縁膜98を介してゲート電極99が形成されている。また、前記P型well層96及び前記n+型ソース層97上には、絶縁保護膜のコンタクトホールを介して第2の主電極としてのソース電極100が形成され、前記n+型シリコン基板90の前記下段のn型ドリフト層91と反対側の表面には、第1の主電極としてのドレイン電極101が形成されている。

【0105】そして、この実施形態では、各段のn型ドリフト層91、93に埋め込まれたU字型埋め込み層92、94は、側壁の膜厚を底部の膜厚に比べて厚く形成している。例えば、側壁の膜厚を0.3 μ m、底部の膜

厚を $0.1\mu\text{m}$ に形成している。

【0106】この実施形態によれば、蓄積層に蓄積されるキャリア数は、U字型埋込み層にかかる電圧と埋込み層の厚さで決まるため、U字型埋込み層92, 94の側壁のみを厚くすることにより側壁部にかかる電界を弱め、厚さの薄い底部にかかる電界を大きくすることにより底部に蓄積層を形成し易くして、底部における蓄積されるキャリア数を増加させる。これにより素子終端部で横方向に電界がかかってもU字型埋込み層内壁に形成される蓄積層が変わらずに耐圧を保持することができる。

(第18の実施形態)次に、埋め込み層の設計方法について説明する。最適な埋め込み層の寸法は、埋め込み層の寸法と素子特性の関係より、求めることができる。即ち、素子のオン抵抗は、 n -型ドリフト層の抵抗に大きく依存する。埋め込み層を挿入することにより耐圧を維持してまゝ、 n -型ドリフト層のドーパ濃度を上げることによりドリフト層の抵抗を下げる事が可能となるが、埋め込み層が大きくなると、電子が走行できる部分が少なくなり、抵抗が増加してしまう。 n -型ドリフト層を走行する電子は、埋め込み層同士に挟まれた n -型ドリフト層部分を走行する為、この n -型ドリフト層部分の抵抗が高くなると、素子全体のオン抵抗も高くなる。

【0107】従って、埋め込み層に挟まれた n -型ドリフト層部分の抵抗は、その長さに比例し、断面積に反比例するので、埋込み層の高さ H とピッチ d に比例して、埋込み層同士の間隔 g に反比例する。そこで、埋め込み層の高さ(溝深さ) H とピッチ d の積と間隔 d との比を A とすると、下式のように、

$$R_{on} \propto H \times d / g = A$$

となり、オン抵抗は A に比例する。

【0108】図22は、 A に対するU字型埋込み層が一層埋め込まれたMOSFETのオン抵抗を解析より求めた結果を示す図である。ここでは、ピッチを4、6、8 μm と変化させた結果を示す。また、U字型埋込み層の高さ、2.5 μm 、厚さは0.2 μm とし、 n -型ドリフト層のドーパ濃度は $5 \times 10^{14} \text{cm}^{-3}$ とした。

【0109】図22から解るように、オン抵抗は、 A に比例して増加している。そして、 A を用いることにより、オン抵抗は、ピッチに依存しない。この解析結果より、オン抵抗の増加を見積もり、埋め込み層を埋め込まない従来のMOSFETと同等なオン抵抗となる A の値は、13.2となる。

【0110】この値以下となるような埋め込み層を埋め込むことにより、低オン抵抗の達成がはかれる。また、 A が3.0以下となるような埋込み層を埋め込んだ場合は、埋め込み層によるオン抵抗の増加がほとんど無視できる。また、ピッチ4.0 μm の結果で A が大きくなると、オン抵抗が比例直線よりも大きくなるが、これは、

埋め込み層の面積が増えたことにより、埋込み層同士の隙間に回り込んで電子が走行するようになるため、この回り込みによる抵抗が増えて行くためである。

【0111】この実施形態によれば、従来に比べてオン抵抗の低いMOSFETを容易に設計できる。

(第19の実施形態)U字型埋込み層が埋め込まれたMOSFETの素子耐圧は、埋め込み層にトラップされる電子の数に比例する。埋込み層にトラップされる電子は、U字型埋込み層内壁に形成される蓄積層に溜まる。蓄積層は、U字型埋込み層内側の底面と側壁に形成される。蓄積層の電子数は、U字型埋込み層にかかる電圧に比例し、底面に加わる電圧は一樣なので、電子数の分布も横方向に一樣となるので、底面にトラップされる電子数は、幅に比例する。従って、U字型埋込み層側壁にかかる電圧は、高さ方向にほぼ直線的に減少して、上端でゼロとなる。

【0112】これより、U字型埋込み層側壁に形成される蓄積層の電子数は、高さ方向に向かってほぼ直線的に減少していく為、側壁にトラップされる電子数は、高さの $1/2$ に比例し、側壁の両方に蓄積層は形成されるので、合計すると2倍となるので、高さに比例する。よって、一つのU字型埋込み層にトラップされる電子数は、U字型埋込み層の底面と側面の長さの和に比例するので、幅 W と高さ H の和に比例する。

【0113】そして、U字型埋込み層でトラップする電子数は、U字型埋込み層の面内での個数に比例するので、U字型埋込み層の配置ピッチに反比例する。これから、U字型埋込み層の幅 W と高さ H の和とピッチ d との比を B とすると、下式のように、

$$VB \propto (W+H)/d = B$$

となり、耐圧は B に比例する。

【0114】図23は、 B に対するU字型埋込み層が一層埋め込まれたMOSFETの耐圧を解析より求めた結果を示す。ここでは、ピッチを4、6、8 μm と変化させた結果を示す。また、U字型埋込み層の高さ、2.5 μm 、厚さは0.2 μm とし、ドリフト層のドーパ濃度は $5 \times 10^{14} \text{cm}^{-3}$ とした。

【0115】図23から解るように、耐圧が B に比例して増加している。そして、 B を用いることにより、耐圧はピッチに依存しない。解析結果より耐圧の低下を見積もり、埋込み層を埋め込まない従来のMOSFETと同等な耐圧となる B の値は、0.3となる。この値以上となるようなU字型埋込み層を埋め込むことにより、U字型埋込み層が無い場合よりも耐圧が向上する。

【0116】そして、 B を0.5以上とすると、U字型埋込み層でトラップする電子数が電界分割に必要な電子数となり、耐圧が飽和するので、 B を0.5以上とすることが、望ましい。

【0117】この実施形態によれば、従来に比べてオン抵抗の低いMOSFETを容易に設計できる。

(第20の実施形態) U字型埋込み層を埋め込んだ場合、そのU字型埋込み層の形状によりオン抵抗と耐圧が決まる。U字型埋込み層の高さH、ピッチd、間隔g、幅Wで決まる $A (= Hd/g)$ と $B (= (W+H)/d)$ を最適にすることによりU字型埋込み層を埋め込んだ効果が得られる。

【0118】即ち、Aを13.2以下とすることによりオン抵抗を従来のMOSFETより下げることが可能であり、Bを0.3以上とすることで耐圧を従来のMOSFETより上げることができる。

【0119】この両方満たすことで、オン抵抗/耐圧のトレードオフが確実に改善される。そして、パワーMOSFETのオン抵抗/耐圧のSi限界は、下式で示される。

$$R_{on} = 8.33 \times 10^{-9} V_B^{2.5} \Omega \text{ cm}^2$$

但し、 R_{on} がオン抵抗、 V_B が耐圧である。

【0120】U字型埋込み層を一層埋め込んだ場合のオン抵抗/耐圧トレードオフの解析結果とSi限界を図24に示す。

【0121】図24より明らかなように、一層埋め込んだ場合でも素子レベルでSi限界を下回るオン抵抗となる。この場合の各パラメータの範囲は、 $2.5 \leq A \leq 4.5$ であり、 $0.5 \leq B \leq 1$ である。そして、U字型埋込み層を多層埋め込むことにより更に低オン抵抗となり、このパラメータの範囲が広がる。

【0122】この実施形態によれば、従来に比べてオン抵抗の低いMOSFETを容易に設計できる。

【0123】以上本発明の実施形態を説明したが、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、変形して実施できる。例えば、上記実施形態では、埋込み層は、酸化層(SiO₂)で形成したが、窒化層(Si₃N₄)でもよく、また、酸化層、窒化層等の絶縁物に限らず、SiC等のワイドバンドギャップ半導体でもよい。

【0124】更に、本発明は、シリコン(Si)を用いた半導体素子に限らず、SiC等の化合物半導体においても適用できる。特に、GaAsやGaN等では、AlAsやAlN等のバンドギャップの広い半導体を埋込み層として埋め込むことにより、絶縁物による埋込み層と同様にキャリアをトラップすることができ、素子全体を単結晶により形成することが可能となる。

【0125】更にまた、本発明は、上述の実施形態のプレーナゲート縦形パワーMOSFETに限らず、トレンチゲートパワーMOSFETでも適用可能であり、且つ、SBD、SIT、IGBT等の素子にも適用可能である。

【0126】更にまた、U字型埋込み層は、角を矩形で示したが、丸くてもよいことは勿論である。

【0127】

【発明の効果】以上説明したように、本発明の電力用半

導体装置によれば、素子耐圧とオン抵抗とのトレードオフを改善できる。

【0128】また、本発明の電力用半導体装置の製造方法によれば、埋め込み層の形成を容易に行うことができる。

【0129】特に、本発明の第1の発明(請求項1)によれば、ドリフト層中に埋め込まれ、U字型埋め込み層の上部開口面積を小さくしてトラップしたキャリアを逃がさない様にしているため、低オン抵抗を保持したまま、耐圧を向上することができる。また、第2の発明(請求項2)によれば、U字型埋め込み層を埋め込み成長により形成する際に、埋込み層を形成する絶縁層表面をポリシリコンで覆うため、成長中の絶縁層の蒸発を抑制でき、均一な膜厚の埋込み層を形成することができる。

【0130】更に、第3の発明(請求項4)によれば、U字型埋め込み層を埋め込むことにより低オン抵抗を実現した縦形MOSFETと、ショットキーバリアダイオードとを並列接続した状態で集積化することにより、高速スイッチングを1チップで実現することができる。

【0131】更にまた、第4の発明(請求項9)の発明によれば、U字型埋め込み層内の多結晶半導体の濃度、或いは導電型を変えることにより、埋め込み層におけるキャリアの蓄積量を制御できるため、任意の耐圧及びオン抵抗を容易に得ることができる。

【0132】更にまた、第5の発明(請求項13)によれば、U字型埋め込み層内に多結晶半導体を埋め込んだ後、ドリフト層を成長しているため、埋め込み層の絶縁層表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層の形成が可能である。また、U字型埋め込み層は、前記ドリフト層上面が露出まで絶縁層及び多結晶半導体層を除去し、前記トレンチ内のみ絶縁層及び多結晶半導体層を残すことにより形成する。従って、開口部に外方に延在する鰭部をもたない、望ましいU字型埋め込み層が簡単に形成できる。更に、トレンチ内を多結晶半導体で埋め込んでいるため、成長後の上層ドリフト層の表面は平坦となり、平坦化処理が省略でき、製造工程数を削減することができる。

【0133】更にまた、第6の発明(請求項17)によれば、U字型埋め込み層は、酸素、若しくは窒素のイオン注入及びアニールによりトレンチ内壁面に沿ってドリフト層中に形成されるため、上層ドリフト層の成長時に、埋め込み層の絶縁層の表面が直接高温に晒されることがなく、均一な膜厚を有する埋め込み層の形成が可能である。また、開口部に外方に延在する鰭部をもたない、望ましいU字型構造の埋め込み層が簡単に形成できる。

【0134】更にまた、第7の発明(請求項18)乃至第9の発明(請求項20)によれば、素子終端部においても、ドリフト層内の電界を分割することができ、素子

終端部の耐圧を向上できる。そして、素子終端部では、電界の方向が横方向に向くため、キャリアがトラップされ難く、素子部に比べて蓄積キャリア数が少なくなるが、素子終端部の埋め込み層の間隔を狭くして埋め込み層数を増加させ、また素子終端部の埋め込み層の垂直方向のU字長を長くすることにより、素子終端部の蓄積キャリア量が増加し、また素子終端部の埋め込み層の開口部を底部より狭くすることにより、蓄積キャリアが逃げ難くなり、素子部と同様の耐圧にすることができ

る。
【0135】更にまた、第10の発明（請求項21）乃至第14の発明（請求項24）の発明によれば、オン抵抗の低いMOSFETを容易に設計できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図2】本発明の第1の実施形態に係る開口部の内側への迫り出しによる耐圧向上の計算結果を示す図である。

【図3】本発明の第1の実施形態に係る開口部の狭くなったU字型絶縁物が埋め込まれた構造を形成する製造工程を示す断面図である。

【図4】本発明の第2の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図5】本発明の第2の実施形態に係る縦形パワーMOSFETのU字型溝を形成する製造工程を示す断面図である。

【図6】本発明の第3の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図7】本発明の第3の実施形態に係る縦形パワーMOSFETのトレンチを形成する製造工程を示す断面図である。

【図8】本発明の第4の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図9】本発明の第5の実施形態に係る縦形パワーMOSFETの素子構造の断面図および平面図である。

【図10】本発明の第6の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図11】本発明の第7の実施形態に係る縦形パワーMOSFETの素子構造の断面図および平面図である。

【図12】本発明の第8の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図13】本発明の第9の実施形態に係る縦形パワーMOSFETに形成されるU字型絶縁物の平面パターンを示す図である。

【図14】本発明の第10の実施形態に係る縦形パワーMOSFETに形成されるU字型絶縁物の平面パターンを示す図である。

【図15】本発明の第10の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図16】本発明の第11の実施形態に係る縦形パワー

MOSFETの製造方法を示す工程断面図である。

【図17】本発明の第12の実施形態に係る縦形パワーMOSFETの製造方法を示す工程断面図である。

【図18】本発明の第13の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図19】本発明の第14の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図20】本発明の第15の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図21】本発明の第16の実施形態に係る縦形パワーMOSFETの素子構造の断面図である。

【図22】本発明の第17の実施形態に係る縦形パワーMOSFETの設計方法を説明するための図である。

【図23】本発明の第18の実施形態に係る縦形パワーMOSFETの設計方法を説明するための図である。

【図24】本発明の第19の実施形態に係る縦形パワーMOSFETの設計方法を説明するための図である。

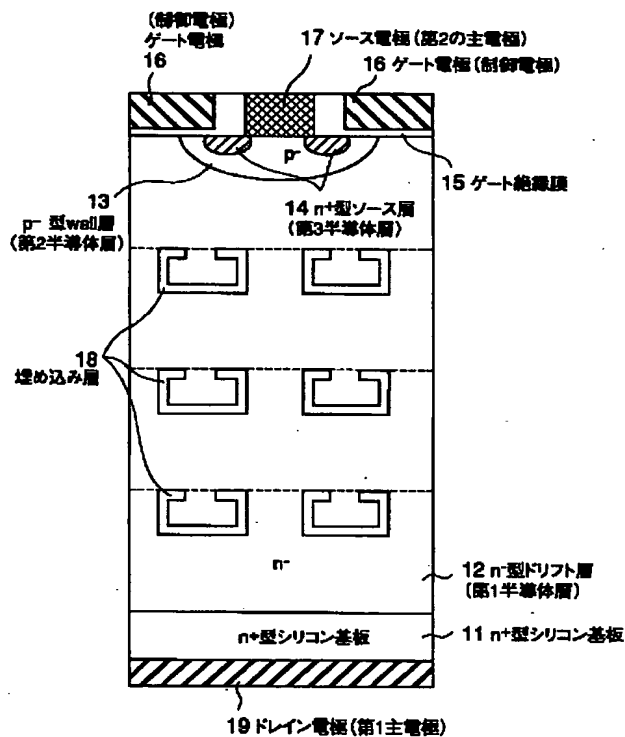
【図25】ドリフト層内に埋め込まれたU字型絶縁物を有するパワーMOSFETの従来例の素子構造の断面図である。

【図26】従来例のパワーMOSFETの製造方法を示す工程断面図である。

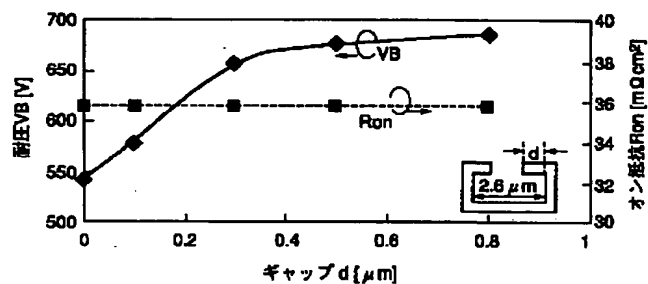
【符号の説明】

- 1、11、40、60、90…n+シリコン基板基板
- 2、12、41、43、45、61、63、65、91、93、95、201、207…n-型ドリフト層（第1半導体層）
- 3、13、46、66、96…p-型well層（第2半導体層）
- 4、14、47、67、97…n+型ソース層（第3半導体層）
- 5、15、48、68、98…ゲート絶縁膜
- 6、16、49、69、99…ゲート電極（制御電極）
- 7、17、29、50、70、100…ソース電極（第2の主電極）
- 8、18、24、27、42、44、62、64、72、74、82、84、92、94…埋込み層（酸化層）
- 19、51、71、101…ドレイン電極（第1の主電極）
- 20…第1のシリコン層
- 21、202…第1の酸化層
- 22、205…第2の酸化層
- 25、28、52…ポリシリコン
- 30…配線
- 31…p-型リサーフ層
- 53…第1のシリコン酸化層
- 53a…シリコン酸化層パターン
- 55、203、206…レジストパターン
- 56、204…溝（トレンチ）

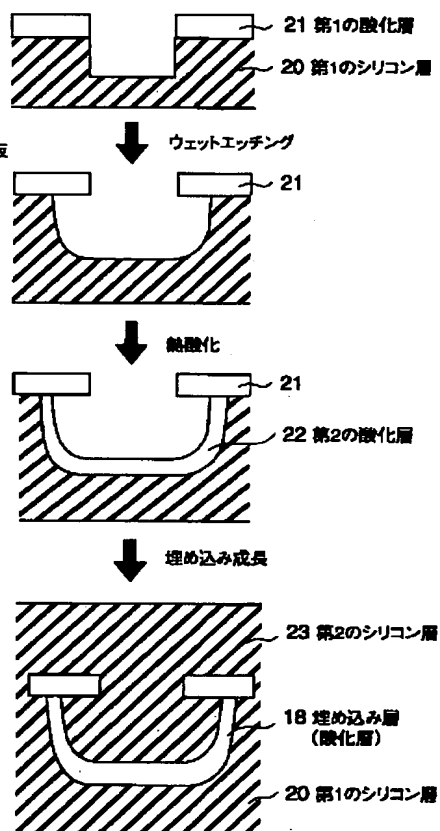
【図1】



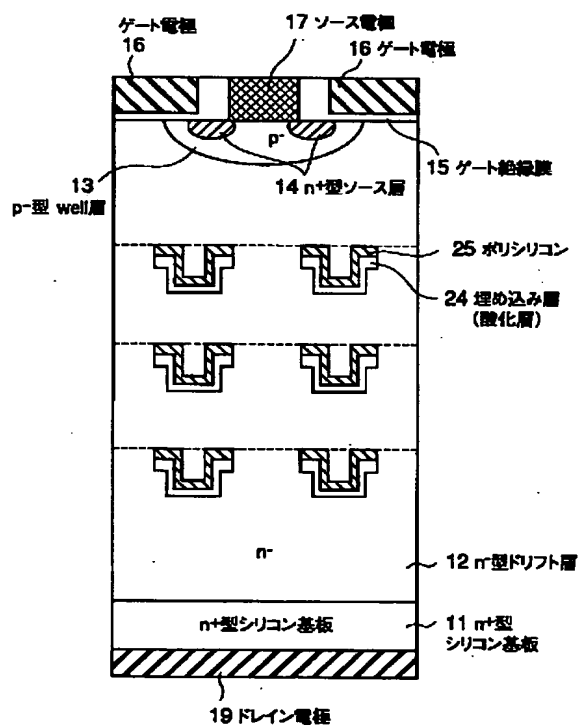
【図2】



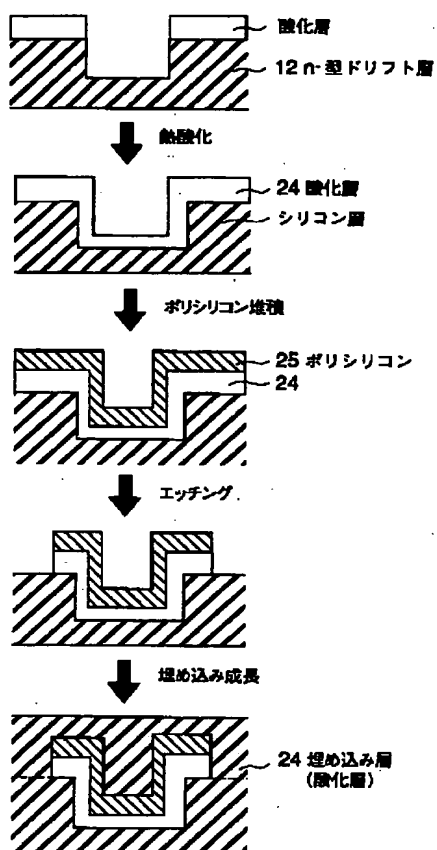
【図3】



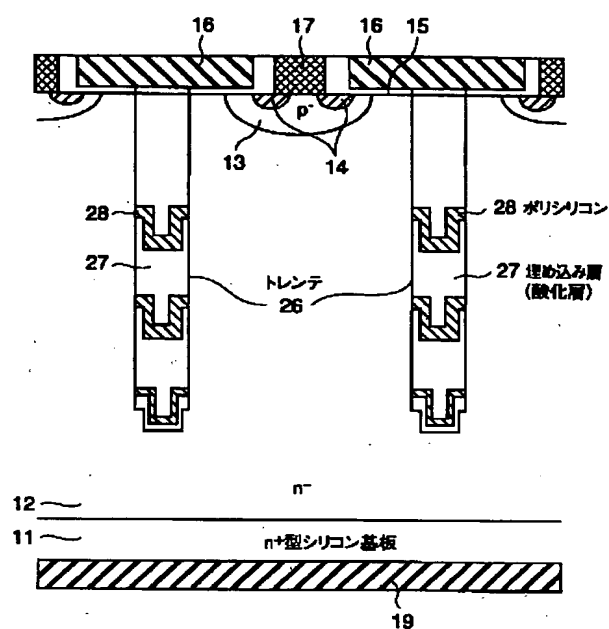
【図4】



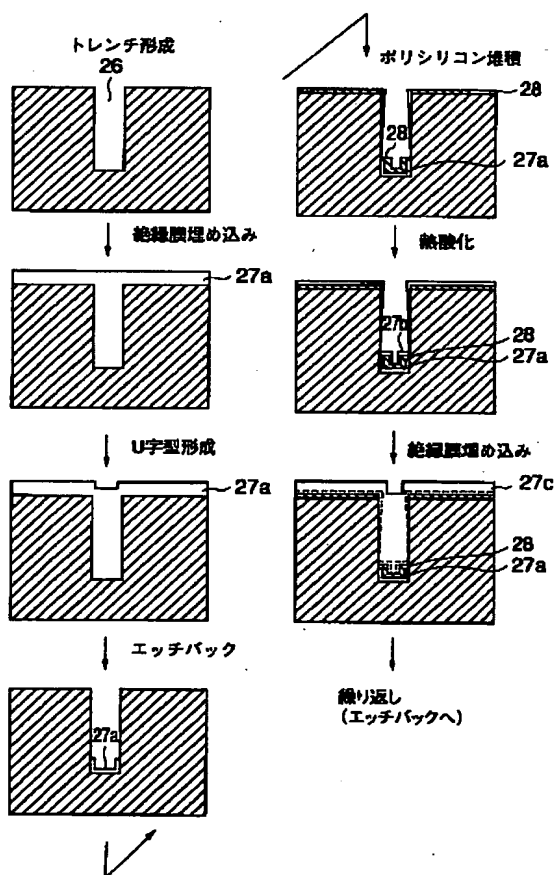
【図 5】



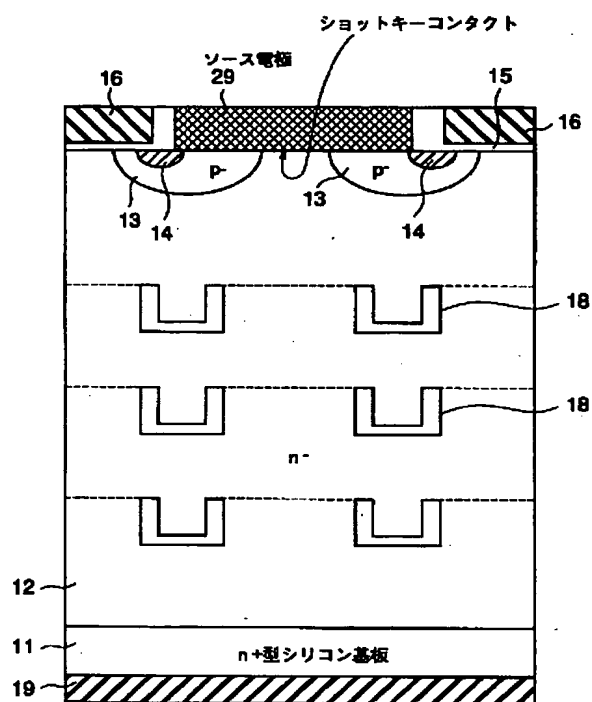
【図 6】



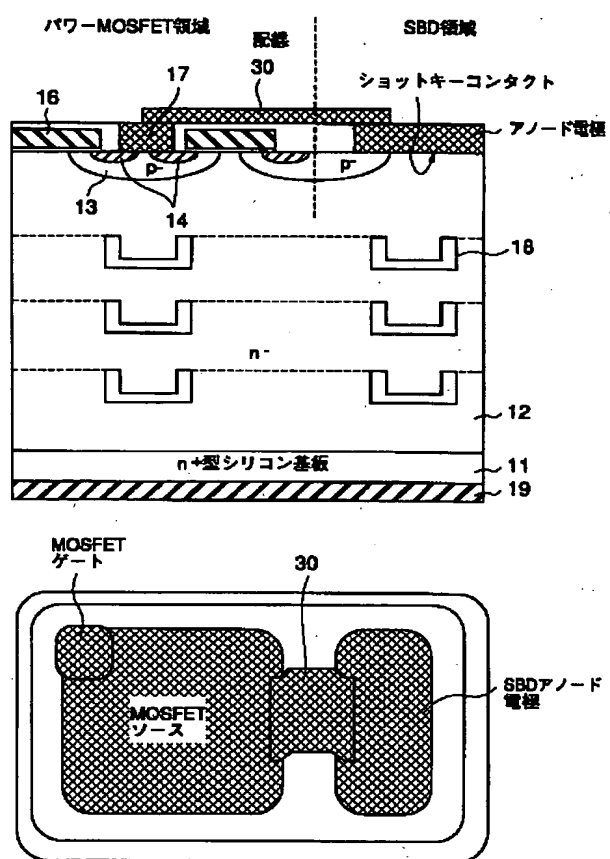
【図 7】



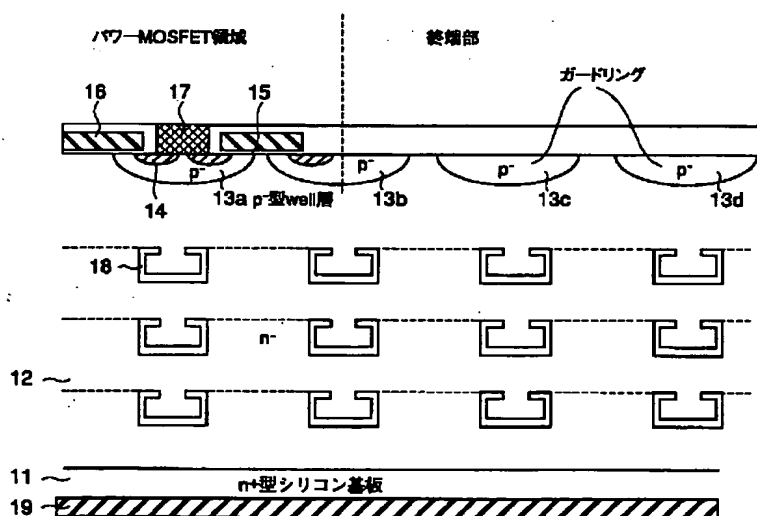
【図8】



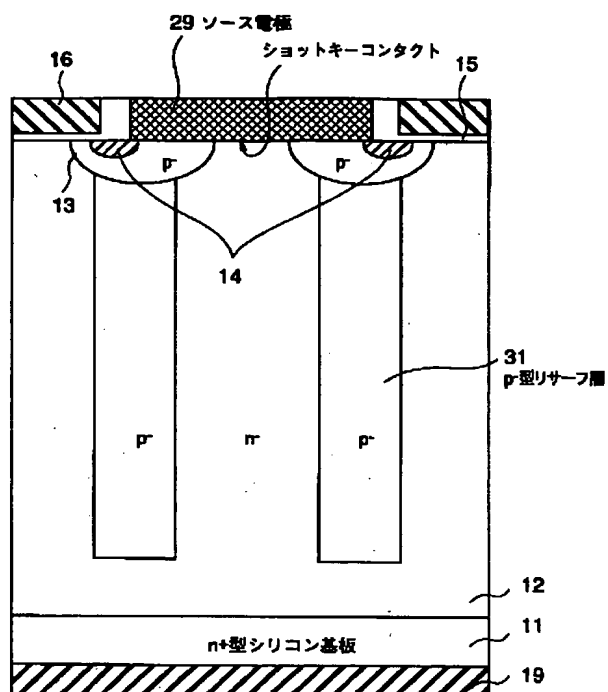
【図9】



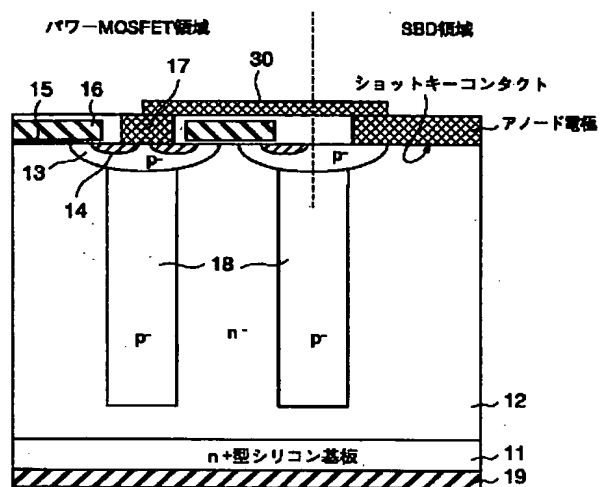
【図12】



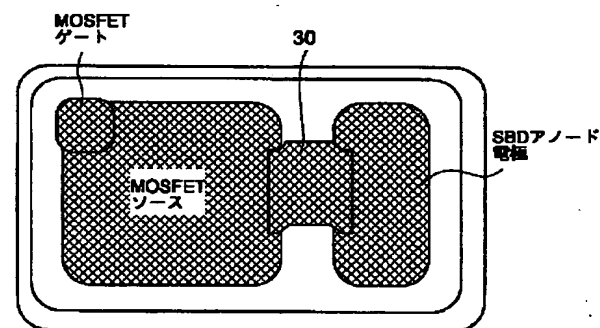
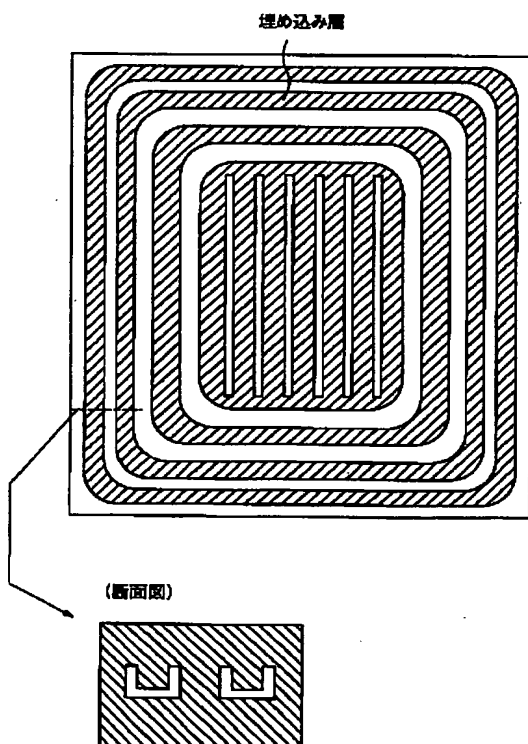
【図10】



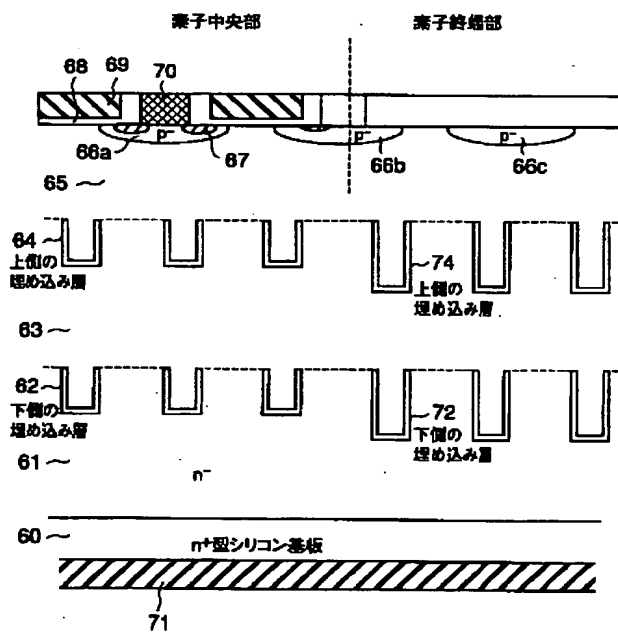
【図11】



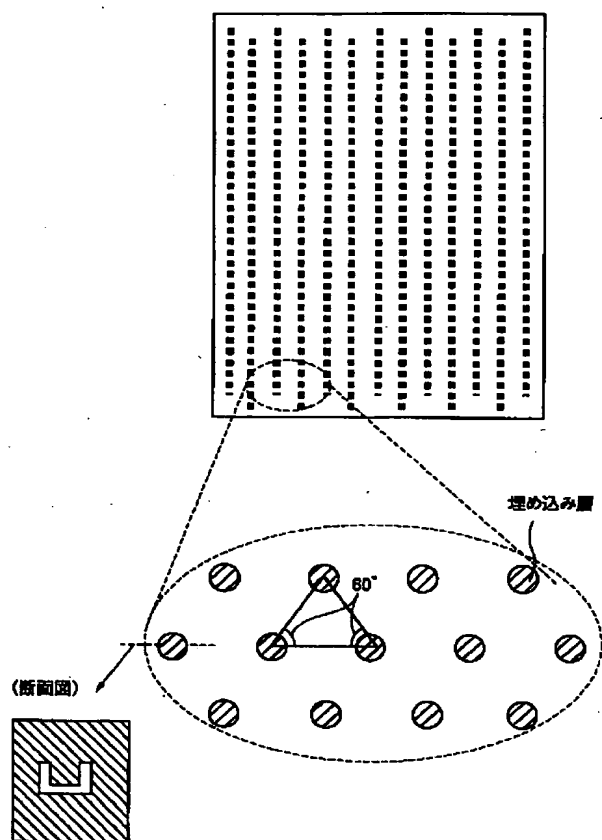
【図13】



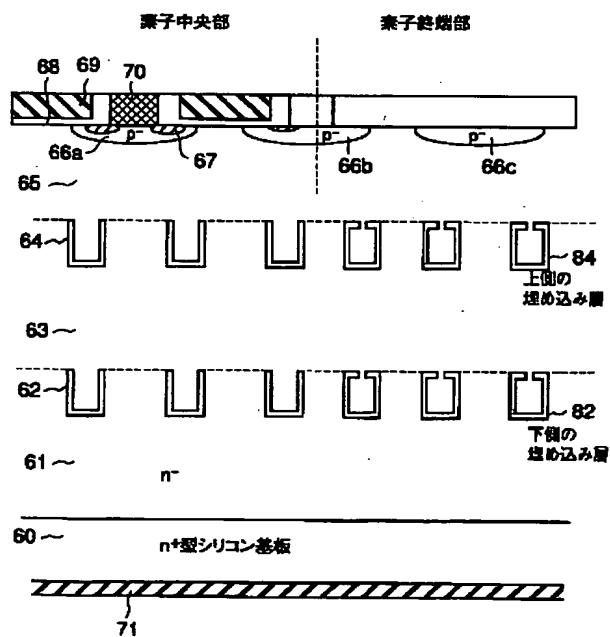
【図19】



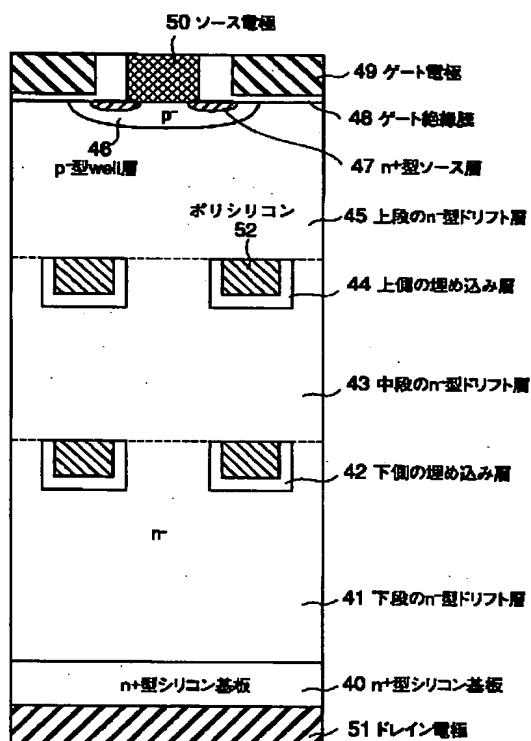
【図14】



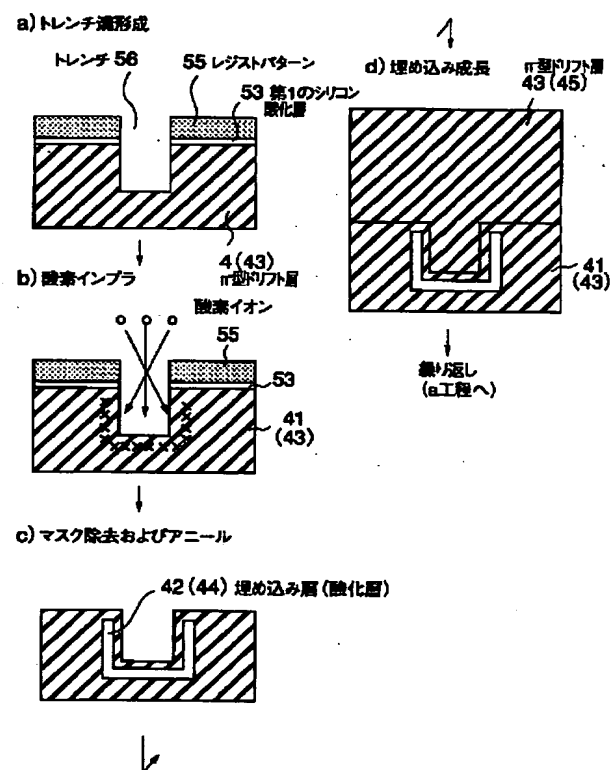
【図20】



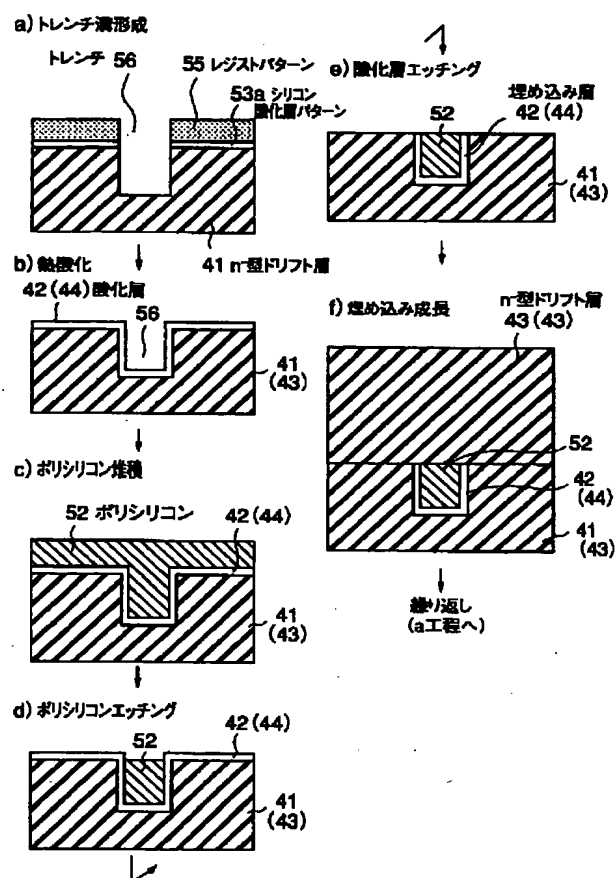
【図15】



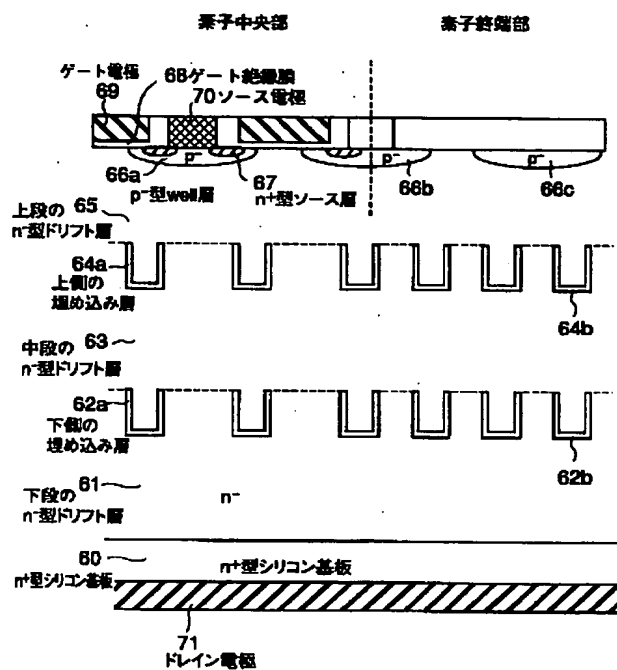
【図17】



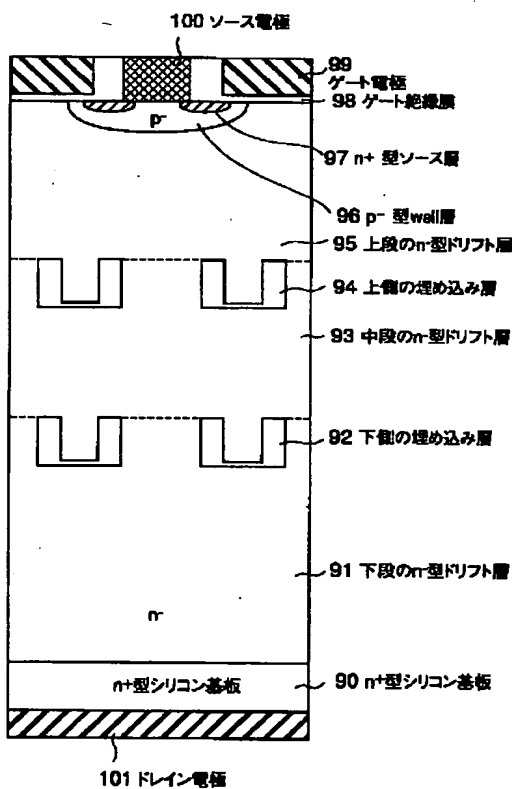
【図16】



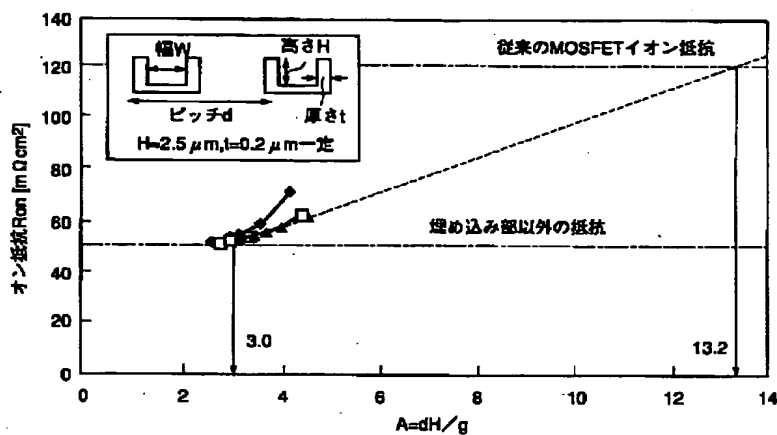
【図18】



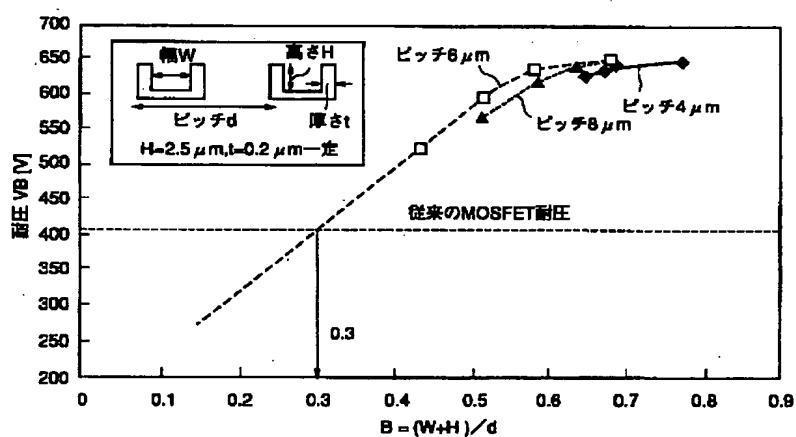
【図21】



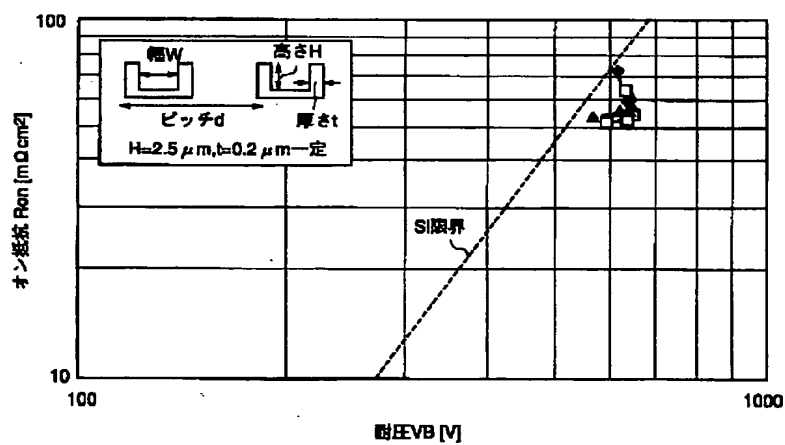
【図 2 2】



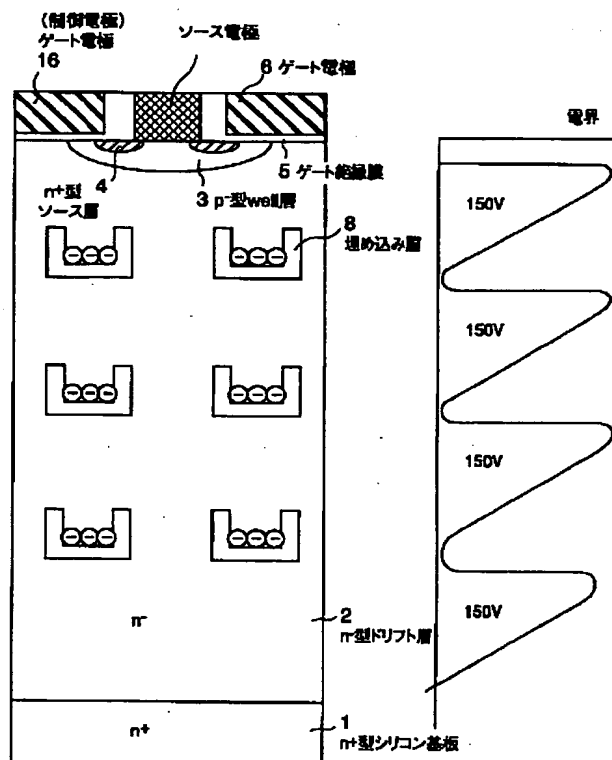
【図 2 3】



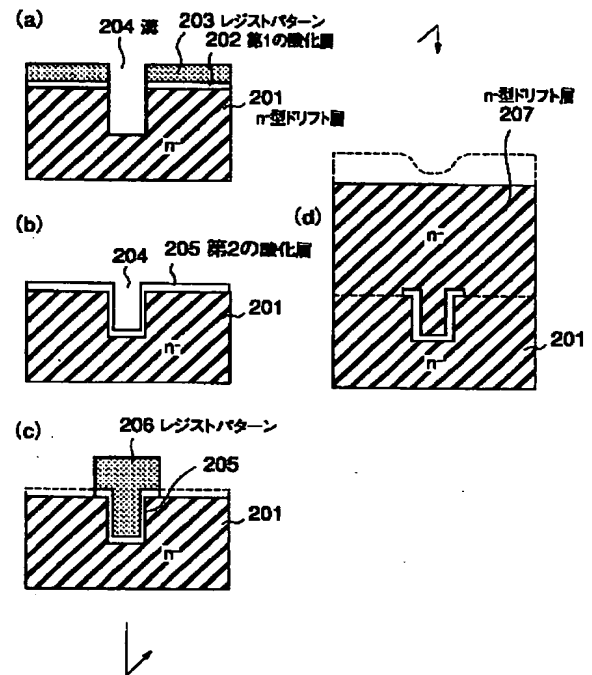
【図 2 4】



【図25】



【図26】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/78
21/336

識別記号

657

FI

H01L 29/78

テーマコード(参考)

657A
658E